

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-129882

(43)Date of publication of application : 21.05.1996

(51)Int.Cl.

G11C 11/406

(21)Application number : 06-267654

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 31.10.1994

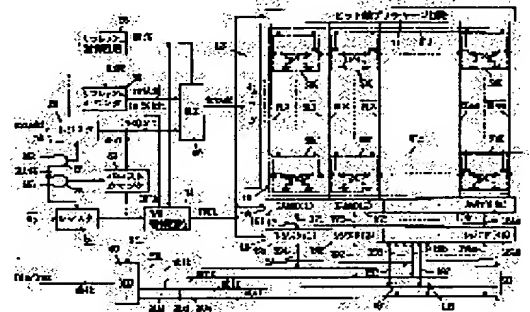
(72)Inventor : MATSUO RYUICHI  
WADA TOMOHISA

## (54) SEMICONDUCTOR STORAGE

### (57)Abstract:

**PURPOSE:** To obtain a semiconductor storage having a large storage capacity and capable of consecutive burst operations with the same speed equivalent to an SRAM.

**CONSTITUTION:** 4m pieces of input/output registers 181 to 184m are provided in the storage in accordance with bit line pairs BL1, the inverse of BL1 to BL4M, the inverse of BL4m. In a burst reading operation, data read out from memory cells SMCs are latched with the input-output registers 181 to 184m. At this time, a refreshing signal ref.Add is supplied from a refreshing counter 38 to a column decoder 12 and then all memory cells SMCs connected to one word line are refreshed. Then, data latched in the input-output registers are made to be outputted by m bits via input-output busses 201 to 204.



## LEGAL STATUS

[Date of request for examination] 05.09.2000

[Date of sending the examiner's decision of rejection] 04.03.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] A semiconductor memory equipped with two or more memory cells, a burst means to answer one external address signal supplied from the outside, and to access at least two memory cells continuously among said two or more memory cells, and a refresh means to refresh one of memory cells among said two or more memory cells during access by said burst means.

[Claim 2] It is the semiconductor memory according to claim 1 which is equipped with the following and characterized by refreshing said refresh means for said one of memory cells after data is memorized by said storage means. Said burst means is a read-out means which answers said one external address signal and reads data from said at least two memory cells. A storage means to memorize data read by the aforementioned read-out means An output means which carries out the sequential output of the data memorized by said storage means

[Claim 3] An input means which carries out the sequential input of the data with which said burst means was supplied from the outside, A storage means to memorize data inputted by said input means, and a write-in means which writes data which answered said one external address signal and was memorized by said storage means in said at least two memory cells, Said refresh means is a semiconductor memory according to claim 1 characterized by refreshing said one of memory cells before data is written in said at least two memory cells.

[Claim 4] A semiconductor memory characterized by providing the following A memory cell array containing a word line with which it is prepared corresponding to an intersection of two or more bit line pairs which intersect two or more word lines and said word line, said word line, and either of said bit line pairs, and each corresponds, and two or more memory cells of a corresponding bit line pair connected to one of bit lines at least A decoding means to decode a supplied internal address signal and to choose one of said word lines Two or more storage means to memorize data transmitted from a bit line pair to which it is prepared corresponding to said bit line pair, and each corresponds An internal address supply means supply said refresh address signal instead of being said external address signal when data is transmitted to said storage means from said bit-line pair while supplying an output means which carries out the sequential output of the data memorized by each of said storage means, a refresh address generating means generate a predetermined refresh address signal, and an external address signal supplied from the outside to said decoding means as said internal address signal

[Claim 5] Said refresh address generating means is a semiconductor memory according to claim 4 characterized by carrying out sequential generating of at least two refresh address signals after data is transmitted to said storage means from said bit line pair before the following data is again transmitted to said storage means from said bit line pair.

[Claim 6] A semiconductor memory characterized by providing the following A memory cell array containing a word line with which it is prepared corresponding to an intersection of two or more bit line pairs which intersect two or more word lines and said word line, said word line, and either of said bit line pairs, and each corresponds, and two or more memory cells of a corresponding bit line pair connected to one of bit lines at least A decoding means to decode a supplied internal address signal and to choose one of said word lines Two or more storage means to memorize data which should be transmitted to a bit line pair to which it is prepared corresponding to said bit line pair, and each corresponds It is an internal address

supply means supply said refresh address signal instead of said external address signal before data is transmitted to said bit-line pair from said storage means while supplying an input means which carries out the sequential input of the data supplied from the outside at each of said storage means, a refresh address generating means generate a predetermined refresh address signal, and an external address signal supplied from the outside to said decoding means as said internal address signal.

[Claim 7] Said refresh address generating means is a semiconductor memory according to claim 4 or 5 characterized by carrying out sequential generating of said refresh address signal so that said decoding means may choose each of said word line for every fixed period.

[Claim 8] Each of said memory cell is a semiconductor memory according to claim 4 or 6 characterized by having a cell capacitor which was connected between said one corresponding bit lines of a bit line pair and memory nodes, and was connected between an access transistor which will answer potential of said corresponding word line and will be in switch-on, and said memory node and a predetermined potential node to which predetermined potential is supplied.

[Claim 9] A semiconductor memory according to claim 4 or 6 characterized by providing the following. Each of said memory cell is the 1st access transistor which will be connected between said one corresponding bit line of a bit line pair, and the 1st memory node, will answer potential of said corresponding word line, and will be in switch-on. The 2nd access transistor which will be connected between said corresponding bit line of another side of a bit line pair, and the 2nd memory node, will answer potential of said corresponding word line, and will be in switch-on. The 1st driver transistor which will be connected between said 1st memory node and touch-down nodes, will answer potential of said 2nd memory node, and will be in switch-on. The 2nd driver transistor which will be connected between said 2nd memory node and touch-down nodes, will answer potential of said 1st memory node, and will be in switch-on.

[Claim 10] A semiconductor memory characterized by providing the following. The 1st memory cell array containing two or more 1st memory cells in which it is arranged in the shape of [ which consists of two or more lines and two or more 1st trains ] a matrix, and each has the 1st access speed. The 2nd memory cell array containing two or more 2nd memory cells in which it is arranged adjacently at one side to which said the 1st memory cell array and line extend, and is arranged in the shape of [ which consists of said two or more lines and 2nd at least one train ] a matrix, and each has the 2nd access speed quicker than said 1st access speed. Two or more word lines connected with the 1st and 2nd memory cells which have been arranged at said two or more lines, and have been arranged at a line to which each corresponds. Two or more 1st bit line pairs connected with the 1st memory cell which has been arranged at said two or more 1st trains, and has been arranged at the 1st train to which each corresponds. 2nd at least one bit line pair connected with the 2nd memory cell which has been arranged at said 2nd train and has been arranged at the 2nd train. A decoding means to decode a supplied internal address signal and to choose one of said word lines. Two or more 1st storage means to memorize data transmitted from the 1st bit line pair to which it is prepared corresponding to said 1st bit line pair, and each corresponds. 2nd at least one storage means for it to be prepared corresponding to said 2nd bit line pair, and to memorize data transmitted from the 2nd corresponding bit line pair. An output means which carries out the sequential output of the data memorized by each of said 1st and 2nd storage means. While supplying a refresh address generating means to generate a predetermined refresh address signal, and an external address signal supplied from the outside to said decoding means as said internal address signal. An internal address supply means to supply said refresh address signal instead of being said external address signal when data is transmitted to said 1st and 2nd storage means from said 1st and 2nd bit line pairs.

[Claim 11] A semiconductor memory characterized by providing the following. A memory cell array containing a word line with which it is prepared corresponding to an intersection of two or more bit line pairs which intersect two or more word lines and said word line, said word line, and either of said bit line pairs, and each corresponds, and two or more memory cells of a corresponding bit line pair connected to one of bit lines at least. A decoding means to decode a supplied internal address signal and to choose one of said word lines. Two or more blocks which include two or more storage means to memorize data transmitted from a bit line pair to which it is prepared corresponding to said bit line pair, and each

corresponds, respectively An output means which carries out the sequential output of the data memorized by each of said storage means, While supplying a refresh address generating means to generate a predetermined refresh address signal, and an external address signal supplied from the outside as said internal address signal to said decoding means in each of said block An internal address supply means to supply said refresh address signal instead of being said external address signal when data is transmitted to said storage means from said bit line pair in each of said block

[Claim 12] A semiconductor memory characterized by providing the following A memory cell array containing a word line with which it is prepared corresponding to an intersection of two or more bit line pairs which intersect two or more word lines and said word line, said word line, and either of said bit line pairs, and each corresponds, and two or more memory cells of a corresponding bit line pair connected to one of bit lines at least A decoding means to decode a supplied internal address signal and to choose one of said word lines Two or more blocks which include two or more storage means to memorize data which should be transmitted to a bit line pair to which it is prepared corresponding to said bit line pair, and each corresponds, respectively An input means which carries out the sequential input of the data supplied from the outside at each of said storage means, While supplying a refresh address generating means to generate a predetermined refresh address signal, and an external address signal supplied from the outside as said internal address signal to said decoding means in each of said block It is an internal address supply means to supply said refresh address signal instead of said external address signal before data is transmitted to said bit line pair from said storage means in each of said block.

[Claim 13] A semiconductor memory characterized by providing the following Two or more blocks whose each contains two or more memory cells A burst means to answer one external address signal supplied from the outside, and to access continuously at least one memory cell in one block, and at least one memory cell [ in /, among said blocks / another block ] among said blocks A refresh means to refresh one in said another block of memory cells when said burst means has accessed at least one memory cell in said one block

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] About a semiconductor memory, in more detail, this invention answers one external address signal, and relates two or more data to read-out or the semiconductor memory in which the burst actuation to write in is possible continuously.

[0002]

[Description of the Prior Art] Generally memory is divided roughly into RAM (random access memory) and ROM (read-only memory). RAM is further divided roughly into DRAM (dynamic RAM) and SRAM (static RAM). DRAM memorizes information by the existence of the charge stored in a capacitor. SRAM memorizes information by the flip-flop circuit.

[0003] First, an approximate account is carried out about DRAM. The memory cell which used one N-channel metal oxide semiconductor transistor and one capacitor in DRAM after 4 K bit generation is in use. Moreover, such a memory cell is adopted also as DRAM (current 1M bit, 4M bit, and 16M bit).

[0004] Drawing 22 is the circuit diagram showing the memory cell of DRAM. Drawing 23 (a) is the plan showing the structure of the trench mold memory cell of DRAM, and drawing 23 (b) is the cross section which met the B-B line in drawing 23 (a). Drawing 22 and drawing 23 are shown in the 158th page of "layout of a CMOS VLSI", April 25, 1989 first-edition issuance, and Baifukan, and the 160th page.

[0005] As shown in drawing 22 and drawing 23 (a), and (b), the dynamic memory cell DMC for DRAM is equipped with one access transistor T1 and one cel capacitor Cs. In write-in actuation, the potential of a word line WL will be set to H (logic yes) level, and an access transistor T1 will be in switch-on. Thereby, the potential of a bit line BL is transmitted through an access transistor T1, the one side electrode M1, i.e., the memory node, of the cel capacitor Cs. When the potential of a bit line BL is H level, the potential of the memory node M1 also serves as H level, and when the potential of a bit line BL is L (logic low) level, the potential of the memory node M1 also serves as L level. And if the potential of a word line WL is set to L level, an access transistor T1 will be in non-switch-on. Thereby, a charge is accumulated in the cel capacitor Cs. In addition, the fixed cel plate potential Vcp is given to the another side electrode of the cel capacitor Cs.

[0006] In read-out actuation, first, a bit line BL is precharged at fixed potential, continues, and the potential of a word line WL serves as H level. Thereby, an access transistor T1 will be in switch-on, and the charge of the memory node M1 is read to a bit line BL through an access transistor T1. Thereby, the potential of a bit line BL changes from fixed potential, and the potential difference which this produced is amplified by the sense amplifier (not shown).

[0007] Next, an approximate account is carried out about SRAM. The static memory cell for SRAM consists of bistable circuits, such as a flip-flop circuit. A static memory cell is divided roughly into some by the class of load element. For example, the thing using the N-channel metal oxide semiconductor transistor as a load element is called an NMOS load mold cel. Moreover, the thing using the P channel MOS transistor as a load element is called a CMOS mold cel. Moreover, the thing using high resistance as a load element is called a high resistance-load mold cel. Furthermore, the thing using the P channel MOS thin film transistor as a load element is called a TFT mold cel. Current and being used as in use are high resistance-load mold cels.

[0008] Drawing 24 is the circuit diagram showing a static memory cell. Drawing 25 is the plan showing the structure of a static memory cell. Drawing 24 and drawing 25 are shown in the 164th page of the above "layout of a CMOS VLSI."

[0009] As shown in drawing 24 and drawing 25, the static memory cell SMC is equipped with two access transistors T2, T3, the high resistance R1 and R2 that carries out pull-up of the memory nodes M2 and M3 at the power supply potential Vcc, and two driver transistor T four which acted as the crossing couple and T5.

[0010] In write-in actuation, the potential of a word line WL will serve as H level, and an access transistor T2 and T3 will be in switch-on. Thereby, the potential of a bit line BL is given through an access transistor T2 to the memory node M2, and a bit line / potential of BL is given through access transistor T3 to the memory node M3. For example, a bit line BL is H level, and when a bit line/BL is L level, the potential of the memory node M2 serves as H level, and the potential of the memory node M3 serves as L level. Then, if the potential of a word line WL serves as L level, both the access transistor T2 and T3 will be in non-switch-on. Since the high resistance R1 and R2, driver transistor T four, and T5 constitute a bistable circuit (flip-flop), the memory nodes M2 and M3 hold the given potential.

[0011] In read-out actuation, the potential of a word line WL will serve as H level, and both the access transistor T2 and T3 will be in switch-on. Thereby, the potential of the memory nodes M2 and M3 is transmitted to a bit line BL and /BL, respectively, and the transmitted potential is amplified by the sense amplifier (not shown).

[0012] Drawing 26 is the block diagram showing an example of the conventional SRAM in which burst actuation is possible. This SRAM is equipped with the memory cell array 10, the line decoder 12, the bit line precharge circuit 14, and a sense amplifier and the write-in driver train 42 with reference to drawing 26. The memory cell array 10 is equipped with two or more static memory cells SMC prepared corresponding to the bit line pair BL1 which intersects word lines WL1-WLx and these word lines / BL1-BLm, /BLm, and a word line and the intersection of a bit line pair. The line decoder 12 decodes supplied n-bit internal address signal intAdd, and chooses one of word lines WL1-WLx. The bit line precharge circuit 14 precharges all bit line pair BL(s)1 / BL1-BLm, and /BLm. A sense amplifier and the write-in driver train 42 are equipped with m sense amplifiers and the write-in drivers 421-42m which were prepared corresponding to the bit line pair BL1 / BL1-BLm, and /BLm.

[0013] This SRAM is further equipped with an address register 22, the burst counter 32, the write control register 24, and the read-out / write control circuit 34. An address register 22 answers address strobe ADS supplied through the AND gate 26, and incorporates a n-bit external address signal inside. The burst counter 32 stores a k-bit address signal among n-bit external address signal extAdd(s) from an address register 22. The increment of the stored address signal is answered and carried out to the advance signal ADV given through the AND gate 28. The write control register 24 answers clock signal CLOCK, and stores a write-in enable signal / WE in the interior. Read-out / write control circuit 34 answers the write-in enable signal of the write control register 24 / WE, and controls the bit line precharge circuit 14, a sense amplifier, and the write-in driver 42.

[0014] Drawing 27 is a timing chart which shows burst read-out actuation of SRAM shown in drawing 26. Address strobe ADS of drawing 27 (c) is answered, and as shown in drawing 27 (b), the external advice signal Ai is incorporated by the address register 22. k bits of the external address signal Ai are stored in the burst counter 32. The burst counter 32 answers the advance signal ADV of drawing 27 (d), and increments the k-bit address signal. The k-bit address signal by which the increment was carried out is given to the line decoder 12 as n-bit internal address signal intAdd with the address signal of the bit (n-k) of an address register 22. Therefore, as shown in drawing 27 (e), internal address signal intAdd changes continuously. The line decoder 12 answers these four continuous internal address signal intAdd(s), and makes sequential selection of the four word lines.

[0015] Here, since a write-in enable signal / WE is in H level as shown in drawing 27 (f), the data read to all bit line pair BL(s)1 / BL1-BLm, and /BLm is amplified by sense amplifiers 421-42m, respectively. And as shown in drawing 27 (g), the m-bit data Dout1 - Doutm are read in juxtaposition through the read-out bus



1.

[0016] Drawing 28 is a timing chart which shows burst write-in actuation of SRAM shown in drawing 26. Address strobe ADS of drawing 28 (c) is answered, and the external address signal Ai is incorporated. Then, the advance signal ADV of drawing 28 (d) is answered, and the increment of the external address signal Ai is carried out. Therefore, as shown in drawing 28 (e), internal address signal intAdd changes continuously. [0017] On the other hand, the write-in enable signal of drawing 28 (f) / WE is answered, and as shown in drawing 28 (g), the m-bit data Din1 - Dinm are stored in the write-in driver train 42 through the write-in data register 3 and the write-in bus 2. These m bits data Din1 - Dinm are simultaneously written in m static memory cells SMC connected to one selected word line. For example, the first m-bit data Di is written in m static memory cells SMC connected to one word line corresponding to the internal address signal Ai.

[0018] Drawing 29 is the block diagram showing other examples of the conventional SRAM in which burst actuation is possible. With reference to drawing 29, the memory cell array 10 in this SRAM is equipped with the 4 times as many bit line pairs BL1/BL1 as drawing 26 - BL4m, and /BL4m. This SRAM is further equipped with the multiplexer 4 of 4 m:m, the train decoder 60, and m bidirectional transfer bus groups 5. A multiplexer 4 connects the bit line pair of m to a sense amplifier and the write-in driver train 42 through the bidirectional transfer bus group 5 among the 4m bit line pairs BL1/BL1 - BL4m, and /BL4m. The train decoder 60 answers the 2-bit address signal supplied from the burst counter 32, and controls a multiplexer 4 as mentioned above.

[0019]

[Problem(s) to be Solved by the Invention] As mentioned above, since the dynamic memory cell DMC consists of one access transistor T1 and one cell capacitor Cs, its occupancy area of one dynamic memory cell DMC is dramatically small. Therefore, DRAM with large storage capacity is easily realizable. However, since the charge is held by Capacitor Cs in DRAM, the amount of charges decreases with the passage of time. Therefore, refresh actuation of re-accumulating a charge in Capacitor Cs for every fixed time amount is required.

[0020] On the other hand, since the static memory cell SMC has bistability nature, its refresh actuation is unnecessary. However, since a static memory cell generally consists of six elements, the occupancy area of one memory cell SMC is larger than that of a dynamic memory cell. Therefore, it is difficult to realize SRAM with large storage capacity.

[0021] Therefore, although SRAM shown in drawing 26 and drawing 29 did not need refresh actuation, it was difficult to realize what has large storage capacity. In order to realize what has large storage capacity, it is possible to replace the static memory cell SMC with the dynamic memory cell DMC. However, since refresh actuation is needed when the dynamic memory cell DMC is used, during refresh actuation, burst actuation cannot be performed but the problem that access efficiency falls arises.

[0022] The object of this invention is offering the semiconductor memory which can perform refresh actuation during burst actuation.

[0023] Other objects of this invention are offering a semiconductor memory with large storage capacity.

[0024] The object of further others of this invention is offering a semiconductor memory with a quick access speed.

[0025]

[Means for Solving the Problem] A semiconductor memory concerning claim 1 is equipped with two or more memory cells, burst means, and refresh means. A burst means answers one external address signal supplied from the outside, and accesses at least two memory cells continuously among two or more memory cells. A refresh means is refreshed for one of memory cells among two or more memory cells during access by burst means.

[0026] In a semiconductor memory concerning claim 2, a burst means of above-mentioned claim 1 is equipped with a read-out means, a storage means, and an output means. A read-out means answers one external address signal, and reads data from at least two memory cells. A storage means memorizes data read by read-out means. An output means carries out the sequential output of the data memorized by

storage means. Furthermore, a refresh means of above-mentioned claim 1 is refreshed for one of memory cells, after data is memorized by storage means.

[0027] In a semiconductor memory concerning claim 3, a burst means of above-mentioned claim 1 is equipped with an input means, a storage means, and a write-in means. An input means carries out the sequential input of the data supplied from the outside. A storage means memorizes data inputted by input means. A write-in means writes data which answered one external address signal and was memorized by storage means in at least two memory cells. Furthermore, a refresh means of above-mentioned claim 1 is refreshed for one of memory cells, before data is written in at least two memory cells.

[0028] A semiconductor memory concerning claim 4 is equipped with a memory cell array, a decoding means, two or more storage means, an output means, a refresh address generating means, and an internal address supply means. A memory cell array contains two or more word lines, two or more bit line pairs, and two or more memory cells. Two or more bit line pairs intersect a word line. Two or more memory cells are prepared corresponding to an intersection of a word line and either of the bit line pairs. Each memory cell is connected to a bit line of a corresponding word line and a corresponding bit line pair which is either at least. A decoding means decodes a supplied internal address signal, and chooses one of word lines. Two or more storage means are established corresponding to a bit line pair. Each storage means memorizes data transmitted from a corresponding bit line pair. An output means carries out the sequential output of the data memorized by each of a storage means. A refresh address generating means generates a predetermined refresh address signal. An internal address supply means supplies a refresh address signal instead of being an external address signal, when data is transmitted to a storage means from a bit line pair while supplying an external address signal supplied from the outside to a decoding means as an internal address signal.

[0029] In a semiconductor memory concerning claim 5, a refresh address generating means of above-mentioned claim 4 carries out sequential generating of at least two refresh address signals, after data is transmitted to a storage means from a bit line pair before the following data is again transmitted to a storage means from a bit line pair.

[0030] A semiconductor memory concerning claim 6 is equipped with a memory cell array, a decoding means, two or more storage means, an input means, a refresh address generating means, and an internal address supply means. A memory cell array contains two or more word lines, two or more bit line pairs, and two or more memory cells. Two or more bit line pairs intersect a word line. Two or more memory cells are prepared corresponding to an intersection of a word line and either of the bit line pairs. Each memory cell is connected to a bit line of a corresponding word line and a corresponding bit line pair which is either at least. A decoding means decodes a supplied internal address signal, and chooses one of word lines. Two or more storage means are established corresponding to a bit line pair. Each storage means memorizes data which should be transmitted to a corresponding bit line pair. An input means carries out the sequential input of the data supplied from the outside at each of a storage means. A refresh address generating means generates a predetermined refresh address signal. Before data is transmitted to a bit line pair from a storage means, an internal address supply means supplies a refresh address signal instead of an external address signal, while supplying an external address signal supplied from the outside to a decoding means as an internal address signal.

[0031] In a semiconductor memory concerning claim 7, a refresh address generating means of above-mentioned claim 4 or claim 6 carries out sequential generating of the refresh address signal so that a decoding means may choose each of a word line for every fixed period.

[0032] In a semiconductor memory concerning claim 8, each of a memory cell of above-mentioned claim 4 or claim 6 contains an access transistor and a cell capacitor. It will connect between corresponding one bit lines of a bit line pair and memory nodes, and an access transistor will answer potential of a corresponding word line, and will be in switch-on. A cell capacitor is connected between a memory node and a predetermined potential node to which predetermined potential is supplied.

[0033] In a semiconductor memory concerning claim 9, each of a memory cell of above-mentioned claim 4 or claim 6 contains the 1st access transistor, the 2nd access transistor, the 1st driver transistor, and the

2nd driver transistor. It will connect between one corresponding bit line of a bit line pair and the 1st corresponding memory node, and the 1st access transistor will answer potential of a corresponding word line, and will be in switch-on. It will connect between a corresponding bit line of another side of a bit line pair and the 2nd corresponding memory node, and the 2nd access transistor will answer potential of a corresponding word line, and will be in switch-on. It will connect between the 1st memory node and a touch-down node, and the 1st driver transistor will answer potential of the 2nd memory node, and will be in switch-on. It will connect between the 2nd memory node and a touch-down node, and the 2nd driver transistor will answer potential of the 1st memory node, and will be in switch-on.

[0034] A semiconductor memory concerning claim 10 is equipped with the 1st memory cell array, the 2nd memory cell array, two or more word lines, two or more 1st bit line pairs, 2nd at least one bit line pair, decoding means, two or more 1st storage means, 2nd at least one storage means, output means, refresh address generating means, and address supply means. The 1st memory cell array contains two or more 1st memory cells. Two or more 1st memory cells are arranged in the shape of [ which consists of two or more line and two or more 1st trains ] a matrix. Each 1st memory cell has the 1st access speed. The 2nd memory cell array adjoins one side to which the 1st memory cell array and line extend, is arranged, and contains two or more 2nd memory cells. Two or more 2nd memory cells are arranged in the shape of [ which consists of two or more lines and 2nd at least one train ] a matrix. Each 2nd memory cell has the 2nd access speed quicker than the 1st access speed. Two or more word lines are arranged at two or more lines. Each word line is connected with the 1st and 2nd memory cells arranged at a corresponding line. Two or more 1st bit line pairs are arranged at two or more 1st trains. every -- the 1st bit line pair is connected with the 1st memory cell arranged at the 1st corresponding train. The 2nd bit line pair is connected with the 2nd memory cell which has been arranged at the 2nd train and has been arranged at the 2nd train. A decoding means decodes a supplied internal address signal, and chooses one of word lines. Two or more 1st storage means are established corresponding to the 1st bit line pair. every -- the 1st storage means memorizes data transmitted from the 1st corresponding bit line pair. The 2nd storage means is established corresponding to the 2nd bit line pair, and data transmitted from the 2nd corresponding bit line pair is memorized. An output means carries out the sequential output of the data memorized by each of the 1st and 2nd storage means. A refresh address generating means generates a predetermined refresh address signal. An internal address supply means supplies a refresh address signal instead of being an external address signal, when data is transmitted to the 1st and 2nd storage means from the 1st and 2nd bit line pairs while supplying an external address signal supplied from the outside to a decoding means as an internal address signal.

[0035] A semiconductor memory concerning claim 11 is equipped with two or more blocks, an output means, a refresh address generating means, and an internal address supply means. Each block includes a memory cell array, a decoding means, and two or more storage means. A memory cell array contains two or more word lines, two or more bit line pairs, and two or more memory cells. Two or more bit line pairs intersect a word line. Two or more memory cells are prepared corresponding to an intersection of a word line and either of the bit line pairs. Each memory cell is connected to a bit line of a corresponding word line and a corresponding bit line pair which is either at least. A decoding means decodes a supplied internal address signal, and chooses one of word lines. Two or more storage means are established corresponding to a bit line pair. Each storage means memorizes data transmitted from a corresponding bit line pair. An output means carries out the sequential output of the data memorized by each of a storage means. A refresh address generating means generates a predetermined refresh address signal. An internal address supply means supplies a refresh address signal instead of being an external address signal, when data is transmitted to a storage means from a bit line pair in each block while supplying an external address signal supplied from the outside as an internal address signal to a decoding means in each block.

[0036] A semiconductor memory concerning claim 12 is equipped with two or more blocks, input means, refresh address generating means, and address supply means. Each block includes a memory cell array, a decoding means, and two or more storage means. A memory cell array contains two or more word lines, two or more bit line pairs, and two or more memory cells. Two or more bit line pairs intersect a word line.

Two or more memory cells are prepared corresponding to an intersection of a word line and either of the bit line pairs. Each memory cell is connected to a bit line of a corresponding word line and a corresponding bit line pair which is either at least. A decoding means decodes a supplied internal address signal, and chooses one of word lines. Two or more storage means are established corresponding to a bit line pair. Each storage means memorizes data which should be transmitted to a corresponding bit line pair. An input means carries out the sequential input of the data supplied from the outside at each of a storage means. A refresh advice generating means generates a predetermined refresh address signal. Before data is transmitted to a bit line pair from a storage means in each block, an internal address supply means supplies a refresh address signal instead of an external address signal, while supplying an external address signal supplied from the outside as an internal address signal to a decoding means in each block.

[0037] A semiconductor memory concerning claim 13 is equipped with two or more blocks, burst means, and refresh means. Each block contains two or more memory cells. A burst means answers one external address signal supplied from the outside, and accesses continuously at least one memory cell in one block, and at least one memory cell in another block. A refresh means is refreshed for one in another block of memory cells, when a burst means has accessed at least one memory cell in one block.

[0038]

[Function] In such a semiconductor memory, one external address signal supplied from the outside is answered, and data is continuously read from two or more memory cells, or burst actuation that data is continuously written in two or more memory cells is performed. And 1 or two or more memory cells are refreshed in the midst to which such burst actuation is performed. Therefore, it is not necessary to refresh between burst actuation and its next burst actuation, and burst actuation can be performed continuously.

[0039]

[Example] Hereafter, the example of this invention is explained in detail with reference to a drawing. In addition, a same-among drawing sign shows the same or a considerable portion.

[0040] [Example 1] drawing 1 is the block diagram showing the whole semiconductor-memory configuration in which the burst actuation by the example 1 of this invention is possible. This semiconductor memory is equipped with the memory cell array 10, the line decoder 12, the bit line precharge circuit 14, a sense amplifier and the write-in driver train 16, the bidirectional transfer bus group 17, the I / O register train 18, the bidirectional transfer bus group 19, and the input/output bus group 20 with reference to drawing 1.

[0041] The memory cell array 10 is equipped with two or more memory cells SMC prepared corresponding to two or more word lines WL1-WLx, two or more bit line pairs BL1/BL1 which intersect these word lines - BL4m and /BL4m, and these word lines and the intersection of a bit line pair. Therefore, the memory cell SMC is arranged in the shape of [ which consists of a line and a train ] a matrix.

[0042] Drawing 2 is the circuit diagram showing the configuration of this memory cell SMC. This memory cell SMC is equipped with access transistors 101 and 102 and the driver transistors 103 and 104 with reference to drawing 2. An access transistor 101 has the gate electrode which was connected between corresponding bit lines BL and memory nodes M2, and was connected to the corresponding word line WL. An access transistor 102 has the gate electrode which was connected between corresponding bit lines/BL(s), and memory nodes M3, and was connected with the corresponding word line WL. The driver transistor 103 has the gate electrode which was connected between the memory node M2 and the touch-down node 105, and was connected with the memory node M3. The driver transistor 104 has the gate electrode which was connected between the memory node M3 and the touch-down node 106, and was connected with the memory node M2. Therefore, unlike the static memory cell SMC of drawing 24, this memory cell SMC does not have the high resistance R1 and R2. The SRAM system memory cell SMC of such a no-load holds data in the parasitic capacitance of the memory nodes M2 and M3. Therefore, this memory cell SMC cannot hold static data.

[0043] Here, write-in actuation of this memory cell SMC is explained. For example, if the potential of a word line WL is set to H level when the potential of a bit line BL is [ a bit line / potential of BL ] L level on H level, both the access transistors 101 and 102 will be in switch-on. The potential of a bit line BL is transmitted to the memory node M2 through an access transistor 101 by this, and a bit line / potential of

BL is transmitted to the memory node M3 through an access transistor 102. Therefore, the parasitic capacitance of the memory node M2 is charged, and, thereby, the potential of the memory node M2 serves as H level. On the other hand, the parasitic capacitance of the memory node M3 discharges, and, thereby, the potential of the memory node M3 serves as L level. Thus, even if it is the SRAM system memory cell SMC of a no-load, 1-bit data can be stored. Moreover, since this memory cell SMC is a SRAM system, data is written in a high speed from the memory cell DMC of drawing 22 .

[0044] Next, read-out actuation of this memory cell SMC is explained. If the potential of a word line WL is set to H level when the charge of H level is accumulated in the memory node M2 and the charge of L level is accumulated in the memory node M3, both the access transistors 101 and 102 will be in switch-on. The potential of the memory node M2 is transmitted to a bit line BL through an access transistor 101 by this, and the potential of the memory node M3 is transmitted to a bit line /BL through an access transistor 102. Therefore, 1-bit complementary data appears in the bit line pairs BL1/BL1. In order that this memory cell SMC may hold data with the parasitic capacitance of the memory nodes M2 and M3, that data disappears with the passage of time. Therefore, this memory cell SMC needs to be refreshed.

[0045] Again, with reference to drawing 1 , the line decoder 12 decodes internal address signal intAdd, and chooses one of word lines WL1-WLx. The bit line precharge circuit 14 precharges all bit line pair BL(s)1, and /BL1 - BL(s)4m and /BL4m.

[0046] A sense amplifier and the write-in driver train 16 consist of 4m piece the sense amplifier and the write-in drivers 161-164m corresponding to the bit line pairs BL1/BL1 - BL4m, and /BL4m. Each sense amplifier amplifies the potential difference produced between the bit line pairs which correspond in read-out actuation. Each write-in driver amplifies the data which should be supplied to the bit line pair which corresponds in write-in actuation.

[0047] The I / O register train 18 consists of a sense amplifier and 4m piece I / O registers 181-184m corresponding to the write-in drivers 161-164m. Each register stores the data amplified by the sense amplifier which corresponds in read-out actuation, and stores the data which should be amplified by the write-in driver which corresponds in write-in actuation. The bidirectional transfer bus group 17 consists of 4m bidirectional transfer buses 171-174m. Each bidirectional transfer bus transmits data mutually between corresponding sense amplifiers and write-in drivers, and I / O registers.

[0048] The input/output bus group 20 consists of four input/output buses 201-204. Each input/output bus can convey m-bit data. The bidirectional transfer bus group 19 consists of 4m bidirectional transfer buses 191-194m. Each bidirectional transfer bus transmits data mutually between a corresponding I / O register and an input/output bus. The bidirectional transfer buses 191 and 195, --, 194m-3 transmit m-bit data simultaneously between I / O registers 181 and 185, --, 194m-3 and an input/output bus 201. The bidirectional transfer buses 192 and 196, --, 194m-3 transmit m-bit data simultaneously between I / O registers 182 and 186, --, 184m-2 and an input/output bus 201. The bidirectional transfer buses 193 and 197, --, 194m-1 transmit m-bit data simultaneously between I / O register 183, 187, 184m-1 and an input/output bus 203. The bidirectional transfer buses 194, 198, --, 194m transmit m-bit data simultaneously between I / O registers 184, 188, --, 184m and an input/output bus 204.

[0049] This semiconductor memory is further equipped with an address register 22, the write control register 24, the AND gates 26 and 28, multiplexers (MUX) 30 and 40, the burst counter 32, and the read-out / write control circuit 34.

[0050] An address register 22 answers address strobe ADS and clock signal CLOCK which are given through NAND gate 26, and incorporates the n-bit external address extAdd supplied from the outside inside. The write control register 24 incorporates the write-in enable signal which answered clock signal CLOCK and was supplied from the outside / WE inside. Read-out / write control circuit 34 answers a write-in enable signal / WE, generates a control signal CNT1, and supplies it to the bit line precharge circuit 14, a sense amplifier, the write-in driver train 16, and I / O register 18. The burst counter 32 answers the advance signal ADV and clock signal CLOCK which were supplied through the AND gate 28, and incorporates 2 bits of n-bit external address signal extAdd in an address register 22. Further, the burst counter 32 answers the 2-bit address signal, generates a selection signal SEL, and supplies it to a

multiplexer 40. A multiplexer 40 answers the selection signal SEL, chooses one of four input/output buses 201–204, and data is outputted from the selected input/output bus, or it inputs data into the selected input/output bus. The address signal of the remaining (n–2) bit in an address register 22 is supplied to a multiplexer 30.

[0051] This semiconductor memory is further equipped with the refresh control circuit 36 and the refresh counter 38. The refresh control circuit 36 answers a control signal CNT2 from read-out / write control circuit 34, generates refresh enable signal REFE, and supplies it to the refresh counter 38, a multiplexer 30, and the read-out / write control circuit 34. The refresh counter 38 answers refresh enable signal REFE, and carries out sequential generating of the refresh address signal refAdd of a bit (n–2). The refresh address signal refAdd is supplied to a multiplexer 30. When refresh enable signal REFE is L level, a multiplexer 30 is supplied to the line decoder 12 by setting external address signal extAdd of a bit (n–2) to internal address signal intAdd. When refresh enable signal REFE is H level, a multiplexer 30 is supplied to the line decoder 12 by setting the refresh address signal refAdd of a bit (n–2) to internal address signal intAdd.

[0052] (1) Explain burst read-out actuation, next burst read-out actuation of this semiconductor memory with reference to the timing chart of drawing 3. If clock signal CLOCK of drawing 3 (a) starts while address strobe ADS of drawing 3 (c) is in H level, the n-bit external address signal Ai of drawing 3 (b) will be incorporated in an address register 22. 2 bits of this external address signal Ai are given to the burst counter 32, it remains (n–2) and a bit is given to the line decoder 12 as an internal address signal Ai of drawing 3 (e) through a multiplexer 30. The line decoder 12 decodes this internal address signal Ai, and chooses one of word lines WL1–WLx. If the i-th word line WLi corresponding to the internal address signal Ai is chosen, as shown in drawing 3 (f), the potential of the word line WLi will serve as H level.

[0053] If the potential of a word line WLi is set to H level, the access transistors 101 and 102 in all the memory cells SMC connected to the word line WLi will be in switch-on. The potential of the memory node M2 in each memory cell SMC is transmitted to the bit line which corresponds through an access transistor 101 by this, and the potential of the memory node M3 is transmitted to the bit line which corresponds through an access transistor 102. The potential difference which the potential difference produced between each bit line pairs by this, and was produced between each this bit line pairs is amplified by the corresponding sense amplifier, one potential of each bit line pair serves as H level by this, and the potential of another side serves as L level. Thus, the data of all the memory cells SMC connected to the selected word line is latched to sense amplifiers 161–164m, respectively.

[0054] Subsequently, the data latched to sense amplifiers 161–164m is transmitted to I / O registers 181–184m through the bidirectional transfer buses 171–174m, respectively. If data is transmitted to I / O registers 181–184m, as shown in drawing 3 (f), the potential of a word line WLi will fall to H level.

[0055] Subsequently, if clock signal CLOCK of drawing 3 (a) starts while the advance signal ADV of drawing 3 (d) is in H level, the increment of the address signal in the burst counter 32 will be carried out. Here, since three continuous advance signals ADV are given, the increment of the burst counter 32 is carried out 3 times. Therefore, sequential supply of four kinds of selection signals SEL is carried out from the burst counter 32 at a multiplexer 40. Answering the first selection signal SEL, a multiplexer 40 chooses an input/output bus 201. For this reason, the data in I / O registers 181 and 185, --, 184m–3 is transmitted to an input/output bus 201 through the bidirectional transfer buses 191 and 195, --, 194m–3, respectively. The m-bit data Qi transmitted to the input/output bus 201 is outputted through a multiplexer 40.

[0056] Then, a multiplexer 40 answers the following selection signal SEL, and chooses an input/output bus 202 instead of an input/output bus 201. The data in I / O registers 182 and 186, --, 184m–2 is transmitted to this input/output bus 202 through the bidirectional transfer buses 192 and 196, --, 194m–2. Data Qi+1 [ m-bit ] transmitted to the input/output bus 202 is outputted through a multiplexer 40. Then, a multiplexer 40 answers the following selection signal SEL further, and chooses an input/output bus 203 instead of an input/output bus 202. The data in I / O registers 183 and 187, --, 194m–1 is transmitted to this input/output bus 203. Data Qi+2 [ m-bit ] transmitted to the input/output bus 203 are outputted through a multiplexer 40. Then, a multiplexer 40 answers the last selection signal SEL, and chooses an input/output



bus 204 instead of an input/output bus 203. I / O registers [ 184, 188, --, 184m ] data is transmitted to this input/output bus 204. Data  $Q_{i+3}$  [ m-bit ] transmitted to the input/output bus 204 are outputted through a multiplexer 40.

[0057] On the other hand, after the external address signal  $A_i$  in an address register 22 is given to the line decoder 12 through a multiplexer 30, the refresh control circuit 36 generates refresh enable signal REFE of H level, and gives it to the refresh counter 38 and a multiplexer 30. The refresh counter 38 answers refresh enable signal REFE, generates the refresh address signal  $A_1$  of a bit (n-2), and gives it to the line decoder 12 as internal address signal intAdd through a multiplexer 30. The line decoder 12 decodes this internal address signal  $A_1$ , and chooses one of word lines  $WL_1$ – $WL_x$ . Here, as shown in drawing 3 (h), the potential of the 1st word line  $WL_1$  corresponding to internal address signal aluminum serves as H level. Thereby, all the memory cells SMC connected to the selected word line  $WL_1$  are refreshed for all. Since the potential of the previous word line  $WL_i$  has fallen to L level at this time, the data of a memory cell SMC connected to that word line  $WL_i$  is not destroyed. Thus, since it acts as the crossing couple of the driver transistors 103 and 104 in the memory cell SMC, all the memory cells SMC connected to the word line only by the potential of a word line starting are refreshed.

[0058] Subsequently, if the external address signal  $A_j$  is incorporated as shown in drawing 3 (b), as the potential of one word line  $WL_j$  corresponding to the external address signal  $A_j$  is shown in drawing 3 (f), it will start on H level. Therefore, the data of all the memory cells SMC connected to this word line  $WL_j$  is latched to I / O registers 181–184m. Subsequently, as shown in drawing 3 (g), the first m-bit data  $Q_j$  is outputted through an input/output bus 201 and a multiplexer 40 among these 4m bits data. Subsequently, the following data  $Q_{j+1}$  [ m-bit ] is outputted through an input/output bus 202 and a multiplexer 40 among these 4m bits data. Subsequently, the following data  $Q_{j+2}$  [ m-bit ] are outputted through an input/output bus 203 and a multiplexer 40 among these 4m bits data. Subsequently, data  $Q_{j+3}$  [ remaining m-bit ] are outputted through an input/output bus 204 and a multiplexer 40 among these 4m bits data.

[0059] As shown in drawing 3 (e), after the internal address signal  $A_j$  is given from the address register 22 to the line decoder 12 to the line decoder 12, the refresh address signal  $A_2$  is given from the refresh counter 38 to the line decoder 12. Therefore, as the potential of one word line  $WL_2$  corresponding to this refresh address  $A_2$  is shown in drawing 3 (h), it starts on H level. Therefore, all the memory cells SMC connected to this word line  $WL_2$  are refreshed.

[0060] Thus, since all the memory cells SMC connected to one word line are refreshed while data is continuously read from the memory cell SMC connected to one word line by burst actuation, it is not necessary to perform refresh actuation between one burst actuation and another burst actuation, and it becomes possible to perform burst actuation continuously.

[0061] (2) Explain burst write-in actuation, next burst write-in actuation of this semiconductor memory with reference to the timing chart of drawing 4 . As shown in drawing 4 (h), the m-bit data  $Q_i$  first supplied from the outside is stored in I / O registers 181 and 185, --, 184m-3 through a multiplexer 40, an input/output bus 201 and the bidirectional transfer buses 191 and 195, --, 194m-3, respectively. Next, data  $Q_{i+1}$  [ m-bit ] supplied is stored in I / O registers 182 and 186, --, 184m-2 through a multiplexer 40, an input/output bus 202 and the bidirectional transfer buses 192 and 196, --, 194m-2, respectively from the outside. Data  $Q_{i+2}$  [ m-bit ] furthermore supplied to the degree from the outside are stored in I / O registers 183 and 187, --, 184m-1 through a multiplexer 40, an input/output bus 203 and the bidirectional transfer buses 193 and 197, --, 194m-1, respectively. Finally data  $Q_{i+3}$  [ m-bit ] supplied are stored in I / O registers 184, 188, --, 184m through a multiplexer 40, an input/output bus 204, and the bidirectional transfer buses 194, 198, --, 194m, respectively from the outside. In addition, these data  $Q_i$ – $Q_{i+3}$  is answered and stored in the write-in enable signal of L level / WE as shown in drawing 4 (d).

[0062] As the external address signal  $A_i$  of drawing 4 (b) is answered and it is shown in drawing 4 (j) on the other hand, the potential of one word line  $WL_i$  serves as H level. Thereby, the 4m bit data stored in I / O registers 181–184m is amplified by the write-in drivers 161–164m, respectively, and is written in all the memory cells SMC further connected to the word line  $WL_i$ .

[0063] Moreover, while data  $Q_i$ – $Q_{i+3}$  from the outside is stored in I / O registers 181–184m in this way, as

shown in drawing 4 (f), the refresh address signal A1 is given from the refresh counter 38 to the line decoder 12, and as shown in drawing 4 (i) by this, the potential of one word line WL1 starts on H level. Therefore, all the memory cells SMC connected to this word line WL1 are refreshed.

[0064] Subsequently, while data  $Q_j - Q_j + 3$  is stored in I / O registers 181-184m from the exterior, the refresh address signal A2 is given to the line decoder 12, the potential of the word line WL2 corresponding to the refresh address signal A2 serves as H level from the refresh counter 38, and all the memory cells SMC connected to the word line WL2 by that cause are refreshed.

[0065] Thus, since all the memory cells connected to one word line are refreshed while 4m bit data is continuously stored in the I / O register train 18, it is not necessary to refresh between a certain burst write-in actuation and its following burst write-in actuation. Therefore, it becomes possible to perform burst write-in actuation continuously.

[0066] According to this example 1, since a memory cell can be refreshed during burst read-out / write-in actuation, the continuous burst actuation is attained. Here, since read-out/write data is temporarily stored in a I / O register, data is not destroyed by refreshing during burst actuation. And since it is chosen from a word line WL1 as order for refresh of all the word lines WL1-WLx, all the memory cells SMC are refreshed in homogeneity. Moreover, since the memory cell SMC does not have high resistance, compared with a high resistance-load mold static memory cell, layout area becomes small. Therefore, it is possible to enlarge storage capacity of this semiconductor memory. Moreover, since it acts as the crossing couple of the driver transistors 103 and 104 in this memory cell SMC, that access speed is quicker than a dynamic memory cell, moreover the potential of a word line only starts and this memory cell SMC is refreshed. Therefore, it is not necessary to operate a sense amplifier at the time of refresh, and actuation high-speed as a whole is attained. Furthermore, since this memory cell SMC does not have the load element, about 20 - 30% of manufacturing processes may be reduced. The yield improves by this and a large cost cut can be expected. Therefore, although this semiconductor memory has the engine performance equivalent to SRAM, it can realize larger storage capacity than SRAM.

[0067] [Example 2] drawing 5 is the block diagram showing the whole semiconductor-memory configuration by the example 2 of this invention. Unlike drawing 1, with reference to drawing 5, the memory cell DMC in this semiconductor memory is equipped with one access transistor and one cel capacitor. Therefore, this memory cell DMC is the same as what was shown in drawing 22.

[0068] (1) Explain burst read-out actuation, next burst read-out actuation of this semiconductor memory with reference to the timing chart of drawing 6. In this example 2, before data is read from a memory cell DMC, all bit line pair BL(s)1, and /BL1 - BL(s)4m and /BL4m are precharged by the bit line precharge circuit 14 medium potential  $V_{cc} / 2$  ( $V_{cc}$  is power supply potential). Subsequently, the supplied external address signal Ai is answered and one word line WLi is chosen. Data is read from all the memory cells DMC connected to the word line WLi chosen by this. In this memory cell DMC, data is memorized by accumulating a charge in a cel capacitor. Therefore, if the access transistor of a memory cell DMC will be in switch-on, relocation of a charge will be performed between a bit line and a cel capacitor. For example, if an access transistor will be in switch-on when the cel capacitor is fully charged, it will flow into the bit line with which the charge of a cel capacitor corresponds, and the potential of the bit line will rise slightly from medium potential. If an access transistor will be in switch-on when the cel capacitor is discharging thoroughly, the corresponding charge of a bit line will flow into a cel capacitor, and the potential of the bit line will fall slightly from medium potential  $V_{cc} / 2$ . Thus, selection of a word line produces the potential difference between all bit line pair BL(s)1, and /BL1 - BL(s)4m and /BL4m. The potential difference produced between each bit line pair is amplified by the corresponding sense amplifier. Therefore, in this example 2, time amount as shown in drawing 6 (g) and (h), after the potential of a word line WLi starts until the first m-bit data Qi is outputted becomes longer than that of the above-mentioned example 1. Since it is the same as that of an example 1 except it in the place where the place mentioned above differs from burst read-out actuation of an example 1, the detailed explanation is omitted.

[0069] (2) Burst write-in actuation drawing 7 is a timing chart which shows burst write-in actuation of this semiconductor memory. Since this burst write-in actuation is the same as that of it of the above-



mentioned example 1 almost, that detailed explanation is omitted.

[0070] According to this example 2, since it can refresh during burst read-out / write-in actuation like the above-mentioned example 1, burst actuation can be performed continuously. Moreover, although the consumed electric current increases in order for access speed to become slow rather than the above-mentioned example 1 since the dynamic memory cell is used, and to operate a sense amplifier moreover at the time of refresh, the occupancy area of this dynamic memory cell DMC serves as a quadrant of that of the static memory cell SMC. Therefore, it is easy to realize a semiconductor memory with big storage capacity, and the manufacturing cost also drops to about 1/4 of the above-mentioned example 1.

[0071] [Example 3] drawing 8 is the block diagram showing the whole semiconductor-memory configuration by the example 3 of this invention. This example 3 divides the above-mentioned example 1 into two blocks B1 and B-2. Each block is equipped with the memory cell array 10, the line decoder 12, the bit line precharge circuit 14, a sense amplifier and the write-in driver train 16, the bidirectional transfer bus group 17, the I / O register train 18, and the bidirectional transfer bus group 19. Each block operates like the above-mentioned example 1.

[0072] According to this example 3, a word line is divided and that length has become half [ of the above-mentioned example 1 ]. Therefore, the load which one word line has becomes small, and can start the potential of a word line quickly rather than the above-mentioned example 1. In addition, even if it divides a bit line into plurality, the same effect as this is acquired.

[0073] [Example 4] drawing 9 is the block diagram showing the whole semiconductor-memory configuration by the example 4 of this invention. With reference to drawing 9 , it has this semiconductor memory with the memory cell array 41 of a DRAM system, and the memory cell array 10 of a SRAM system. The 3m bit line pairs DBL1/DBL1 - DBL3m, and /DBL3m are arranged at the memory cell array 41. Bit line pair [ of m ] SBL1/SBL1 - SBLm, and /SBLm is arranged at the memory cell array 10.

[0074] Corresponding to the memory cell array 10, the sense amplifier and the write-in driver train 42 of a SRAM system are arranged, and the sense amplifier and the write-in driver train 44 of a DRAM system are arranged corresponding to the memory cell array 41. Moreover, corresponding to a sense amplifier and the write-in driver train 42, I / O register 47 of a SRAM system is arranged, and I / O register 48 of a DRAM system is arranged corresponding to the sense amplifier and the write-in driver train 44. A sense amplifier and the write-in driver train 42 consist of m sense amplifiers and write-in drivers 421-42m. A sense amplifier and the write-in driver train 44 consist of 3m piece a sense amplifier and the write-in drivers 441-443m. I / O register 47 consists of a sense amplifier and m I / O registers 471-47m corresponding to the write-in drivers 421-42m. The I / O register train 48 consists of a sense amplifier and 3m piece I / O registers 481-483m corresponding to the write-in drivers 441-443m.

[0075] Between the sense amplifier, the write-in driver train 42, and I / O register 47, the bidirectional transfer bus group 45 which consists of m bidirectional transfer buses 451-45m is arranged. Between the sense amplifier, the write-in driver train 44, and the I / O register train 48, the bidirectional transfer bus group 46 which consists of 3m bidirectional transfer buses 461-463m is arranged.

[0076] (1) Burst read-out actuation drawing 10 is a timing chart which shows burst read-out actuation of this semiconductor memory. If the external address signal  $A_i$  is answered and one word line  $WLi$  is chosen with reference to the timing chart of drawing 10 , data will be read from all the memory cells SMC and DMC connected to the selected word line  $WLi$  to all bit line pair  $SBL(s)_1$ , / $SBL1 - SBLm(s)$ , / $SBLm$  and  $DBL1/DBL1 - DBL3m$ , and / $DBL3m$ . In order that a memory cell SMC may operate at a high speed from a memory cell DMC, as shown in drawing 10 (g) and (h), it opts for a sense amplifiers [ of a SRAM system / 421-42m ] output more quickly than a sense amplifiers [ of a DRAM system / 441-463m ] output.

[0077] Therefore, the m-bit data  $Q_i$  is latched to a sense amplifier and the write-in driver train 42 more quickly than a sense amplifier and the write-in driver train 44. This m-bit data  $Q_i$  is transmitted and outputted to I / O register 47 through the bidirectional transfer bus group 45. Thus, while m-bit data is outputted from the memory cell array 10 of a SRAM system, the 3m bit data from the memory cell array 41 of a DRAM system is latched to a sense amplifier and the write-in driver train 44. 3m bit data is transmitted to the I / O register train 48 through the bidirectional transfer bus group 46. Data  $Q_{i+1}$  [ m-

bit ] is outputted following Data  $Q_i$  among the 3m bit data stored in the I / O register train 48.

Subsequently, others and data  $Q_{i+2}$  [ m-bit ] are outputted among the 3m bit data stored in the I / O register train 48. And data  $Q_{i+3}$  [ remaining m-bit ] are outputted among the 3m bit data stored in the I / O register train 48.

[0078] It is the same as that of the example mentioned above that the memory cells SMC and DMC connected to the word line by the potential of one word line serving as H level as shown in drawing 10 (j) are refreshed while the burst output of 4m bit data  $Q_i$ - $Q_{i+3}$  is carried out.

[0079] (2) Burst write-in actuation drawing 11 is a timing chart which shows burst write-in actuation of this semiconductor memory. As shown in drawing 11, the m-bit data  $Q_i$  inputted first is stored in m corresponding memory cells SMC of a SRAM system, and data  $Q_{i+1}$ - $Q_{i+3}$  [ 3m bit ] following it are stored in the corresponding memory cell DMC of a DRAM system. While 4m bit data  $Q_i$ - $Q_{i+3}$  is stored in the I / O register trains 47 and 48, the point for which all the memory cells SMC and DMC connected to the word line WL1 by the potential of one word line WL1 serving as H level as shown in drawing 11 (i) are refreshed is the same as the example mentioned above.

[0080] According to this example 4, since it can refresh during burst read-out / write-in actuation, burst actuation can be performed continuously. And since most memory cells consist of one access transistor and one cell capacitor, a semiconductor memory with large storage capacity is easily realizable. Moreover, since data is first read from the memory cell SMC of a SRAM system with a quick access speed, exact data can be read immediately after the potential of a word line is started.

[0081] [Example 5] drawing 12 is the block diagram showing the whole semiconductor-memory configuration by the example 5 of this invention. With reference to drawing 12, this semiconductor memory is equipped with two blocks B1 and B-2, and is equipped with the block decoder 50 for choosing these blocks further. Each block is equipped with the memory cell array 10, the line decoder 12, the bit line precharge circuit 14, a sense amplifier and the write-in driver train 16, the read-out buffer 54, the write-in buffer 55, and a multiplexer (MUX) 52.

[0082] The output of the burst counter 32 is given to the block decoder 50 and a multiplexer 52. The block decoder 50 answers the output of the burst counter 32, and generates the block signal BLK2 for activating the block signal BLK1 for activating block B1, or block B-2. The block signals BLK1 or BLK2 are given to a multiplexer 52, the read-out buffer 54, and the write-in buffer 55. The refresh address signal refAdd from the refresh counter 38 is given to block B1 and the multiplexer 52 of B-2, respectively. A multiplexer 52 answers the block signals BLK1 or BLK2, chooses the address signal from an address register 22 and the burst counter 32, and the refresh address signal refAdd from the refresh counter 38, and gives the selected address signal to the line decoder 12. The read-out buffer 54 and the write-in buffer 55 answer the block signals BLK1 or BLK2, and are activated. Therefore, the read-out buffer 54 and the write-in buffer 55 in block B1 and B-2 constitute a multiplexer.

[0083] (1) Burst read-out actuation \*\* drawing 13 is a timing chart which shows an example of burst read-out actuation of this semiconductor memory. If clock signal CLOCK starts [ address strobe ADS ] between H level as shown in drawing 13, the external address signal  $A_i$  will be incorporated by the address register 22. 2 bits of this external address signal  $A_i$  are stored in the burst counter 32. Between H level, if clock signal CLOCK starts, as for the burst counter 32, the increment of the advance signal ADV will be carried out. The value in the burst counter 32 is given to the block decoder 50. Therefore, the block decoder 50 makes H level the block signals BLK1 and BLK2 by turns. That is, the block decoder 50 chooses block B1 and B-2 by turns. When the block signal BLK1 is H level, the multiplexer 52 in block B1 supplies the address signal from an address register 22 and the burst counter 32 to the line decoder 12. Therefore, in block B1, the line decoder 12 chooses one word line  $WLi$  corresponding to the external address signal  $A_i$ . If a word line  $WLi$  is chosen, data will be read from all the memory cells SMC connected to the selected word line  $WLi$  to bit line pair BL1 / BL1-BLm, and /BLm, and the m-bit data  $Q_i$  will be further outputted through the sense amplifier train 16 and the read-out buffer 54.

[0084] On the other hand, since block BLK2 is L level when the block signal BLK1 is H level, the multiplexer 52 in block B-2 supplies the refresh address B1 from the refresh counter 38 to the line

decoder 12. Therefore, in block B-2, the line decoder 12 chooses the word line corresponding to the refresh address signal B1. All the memory cells connected to the selected word line by this are refreshed. [0085] Subsequently, if clock signal CLOCK starts [ the advance signal ADV ] between H level, the increment of the burst counter 32 will be carried out. Therefore, if the block signal BLK2 is set to H level, internal address signal  $A_{i+1}$  from an address register 22 and the burst counter 32 will be supplied to the line decoder 12 through the multiplexer 52 in block B-2. Therefore, the line decoder 12 chooses word line  $W_{Li+1}$  corresponding to the internal address signal  $A_{i+1}$ . The potential of selected word line  $W_{Li+1}$  serves as H level, as shown in drawing 13 (g), and data  $Q_{i+1}$  [ m-bit ] is outputted from all the memory cells SMC connected to the word line  $W_{Li+1}$  selected by this.

[0086] On the other hand, when the block signal BLK2 is H level, since the block signal BLK1 serves as L level, the refresh address signal A1 from the refresh counter 38 is supplied to the line decoder 12 through the multiplexer 52 in block B1. Therefore, the line decoder 12 chooses the word line corresponding to the refresh address signal A1, and all the memory cells SMC connected to the selected word line by this are refreshed for it.

[0087] Like the following, while data  $Q_{i+2}$  [ m-bit ] are outputted from block B1, the memory cell in block B-2 is refreshed, and while data  $Q_{i+3}$  [ m-bit ] are further outputted from block B-2, the memory cell within block B1 is refreshed.

[0088] Thus, one external address signal  $A_i$  is answered and m-bit data is read from block B1 and B-2 by turns. While data is read from the block B1 during such a series of burst actuation, the memory cell in block B-2 is refreshed, and while data is read from block B-2 to reverse, the memory cell within block B1 is refreshed.

[0089] (2) Burst write-in actuation \*\* drawing 14 is a timing chart which shows an example of burst write-in actuation of this semiconductor memory. As shown in drawing 14, the m-bit data  $Q_i$  supplied first is written in the memory cell SMC connected to the word line corresponding to the internal address signal  $A_i$ . On the other hand, the memory cell SMC connected to the word line corresponding to the refresh address signal B1 in block B-2 during the store to block B1 is refreshed.

[0090] Then, data  $Q_{i+1}$  [ m-bit ] supplied is written in the memory cell SMC connected to the word line corresponding to internal address signal  $A_{i+1}$  in block B-2. On the other hand, the memory cell SMC connected to the word line corresponding to the refresh address signal A1 in the block B1 during this store is refreshed.

[0091] Like the following, data  $Q_{i+2}$  [ m-bit ] supplied continuously are written in the memory cell within block B1, and the memory cell in block B-2 is refreshed for them in the meantime. Data  $Q_{i+3}$  [ m-bit ] which furthermore continued and were supplied are written in the memory cell in block B-2, and the memory cell within block B1 is refreshed for them in the meantime.

[0092] Thus, one external address signal  $A_i$  is answered and data  $Q_i$ - $Q_{i+3}$  supplied every m bits 4 times continuously is written in block B1 and B-2 by turns. And while data is written in the memory cell SMC within block B1, the memory cell in block B-2 is refreshed, and while data is written in reverse at the memory cell SMC in block B-2, the memory cell SMC within block B1 is refreshed. That is, refresh actuation is performed to the midst to which a series of burst actuation is performed over block B1 and B-2.

[0093] (3) Burst read-out actuation \*\* drawing 15 is a timing chart which shows other examples of burst read-out actuation of this semiconductor memory. As shown in drawing 15, in this burst read-out actuation, Data  $Q_i$  and  $Q_{i+1}$  are continuously read from the memory cell SMC within block B1, and, subsequently data  $Q_{i+2}$  and  $Q_{i+3}$  are continuously read from the memory cell SMC in block B-2. On the other hand, while Data  $Q_i$  and  $Q_{i+1}$  are continuously read from the memory cell SMC within block B1, the memory cell SMC in block B-2 is refreshed continuously. Moreover, while data  $Q_{i+2}$  and  $Q_{i+3}$  are continuously read from the memory cell SMC in block B-2, the memory cell within block B1 is refreshed continuously.

[0094] Thus, when data is read by turns by a unit of 2 times over block B1 and B-2, the memory cell within the block with which data is not read may be refreshed.

[0095] (4) Burst write-in actuation \*\* drawing 16 is a timing chart which shows other examples of burst write-in actuation of this semiconductor memory. As shown in drawing 16, in this burst write-in actuation, Data  $Q_i$  and  $Q_{i+1}$  are continuously written in the memory cell SMC within block B1, and data  $Q_{i+2}$  and  $Q_{i+3}$  are continuously written in the memory cell SMC in block B-2. On the other hand, while Data  $Q_i$  and  $Q_{i+1}$  are continuously written in the memory cell SMC within block B1, the memory cell SMC in block B-2 is refreshed continuously. Moreover, while data  $Q_{i+2}$  and  $Q_{i+3}$  are continuously written in the memory cell SMC in block B-2, the memory cell SMC within block B1 is refreshed.

[0096] Thus, when data is continuously written in block B1 and B-2, the memory cell within the block with which data is not written in may be refreshed.

[0097] Although one refresh actuation is performed during one burst actuation in the example which carried out [example 6] \*\*\*\*, when the time amount of one burst actuation is long, two refresh actuation or more may be performed during one burst actuation. Drawing 17 is a timing chart which shows the case where three refresh actuation is performed during one burst read-out actuation.

[0098] If the external address signal  $A_i$  is answered and one word line  $WLi$  is chosen as shown in drawing 17, data will be read from all the memory cells connected to the selected word line  $WLi$ . In this case, since seven advance signals ADV are given to one address strobe ADS, m-bit data  $Q_i$ - $Q_i + 7$  is outputted continuously 8 times, respectively. Therefore, since the non-selection period of a word line becomes long as shown in drawing 17 (f), three word lines are chosen continuously and, thereby, all the memory cells connected to three they-chosen word lines are refreshed in the meantime.

[0099] [Example 7] drawing 18 is the block diagram showing the whole semiconductor-memory configuration by the example 7 of this invention. Unlike the example 5 of drawing 12, with reference to drawing 18, each block in this semiconductor memory is equipped with the train decoder 60, a multiplexer 62, and a sense amplifier and the write-in driver 161. In this example 7, the internal address signal from the burst counter 32 is supplied to the train decoder 60 through a multiplexer 52 and the line decoder 12. A multiplexer 62 answers a decoding signal from the train decoder 60, chooses one of the bit line pair BL1 / BL1-BLm, and /BLm(s), and connects that one selected bit line pair to one sense amplifier and the write-in driver 161 which were prepared corresponding to this multiplexer 62.

[0100] Therefore, in burst read-out actuation, one of the m-bit data read to the bit line pair BL1 / BL1-BLm, and /BLm is supplied to a sense amplifier 161 by the multiplexer 62. The supplied data is amplified by the sense amplifier 161, and is further outputted through the read-out buffer 54. Like this, it remains (m-1), and 1 bit also of data of a bit is also supplied at a time to a sense amplifier 161, and it is further outputted through the read-out buffer 54.

[0101] On the other hand, in burst write-in actuation, sequential supply of the m-bit data is carried out through the write-in buffer 55 at the write-in driver 161. The supplied data is amplified by the write-in driver 161, and sequential supply is further carried out by the multiplexer 62 to the bit line pair BL1 / BL1-BLm, and /BLm.

[0102] Also in this example 7, refresh actuation is performed to the midst by which refresh actuation is performed to the midst to which read-out actuation is performed in the block B1 in block B-2, and read-out actuation is carried out to reverse in block B-2 in block B1. Moreover, in block B1, refresh actuation is performed to the midst by which refresh actuation is performed to the midst to which write-in actuation is performed in the block B1 in block B-2, and write-in actuation is carried out to reverse in block B-2.

[0103] According to this example 7, since one of the bit line pair BL1 / BL1-BLm, and /BLm(s) is chosen by the train decoder 60 and the multiplexer 62, only a sense amplifier and one write-in driver 161 should just be formed.

[0104] [Example 8] drawing 19 is the block diagram showing the whole semiconductor-memory configuration by the example 8 of this invention. This semiconductor memory is equipped with q blocks B1-Bq and block selection decoders 64 with reference to drawing 19. Each block is equipped with the memory cell array 10, the line decoder 12, the bit line precharge circuit 14, a sense amplifier and the write-in driver train 16, the I / O register train 18, a multiplexer 52, and the OR gate 66. A multiplexer 52 supplies the internal address signal of the bit (n-2-p) from an address register 22 to the line decoder 12, when refresh

enable signal REFE is L level, and when refresh enable signal REFE is H level, it supplies the refresh address signal refAdd of the bit  $(n-2-p)$  from the refresh counter 38 to the line decoder 12. The block selection decoder 64 answers a  $p$ -bit internal address signal from an address register 22, and makes H level one of the block selection signals BS1-BSq. The OR gate 66 receives one block selection signal and refresh enable signal REFE, and supplies the OR output to a line decoder, a sense amplifier, the write-in driver train 16, and the I / O register train 18. Therefore, each block is activated when either a corresponding block selection signal or refresh enable signal REFE is H level.

[0105] (1) Burst read-out actuation drawing 20 is a timing chart which shows burst read-out actuation of this semiconductor memory. For example, if the block selection signal BS 1 is set to H level among the block selection signals BS1-BSq, only block B1 will be activated. Therefore, the internal address signal of a bit is supplied to the line decoder 12 through the multiplexer 52 in block B1 among the external address signals Ai in an address register 22  $(n-2-p)$ . The line decoder 12 answers the supplied internal address signal, and chooses one word line. The potential of the selected word line serves as H level, as shown in drawing 20 (h). Data is read from all the memory cells connected to the selected word line by this, and it is further latched to the I / O register train 18 through the sense amplifier train 16 and the bidirectional transfer bus 17. The 4m bit data latched to the I / O register train 18 answers the burst counter 32, and is outputted m bits at a time. That is, as shown in drawing 20 (j), the m-bit data Qi is outputted first, it continues, and data Qi+1 is outputted, it continues further, data Qi+2 are outputted, and, finally data Qi+3 are outputted.

[0106] If refresh enable signal REFE is set to H level on the other hand as shown in drawing 20 (f) while the burst output of the data is carried out in this way, the refresh enable signal REFE will be supplied to the line decoder 12 etc. through the OR gate 66 in all blocks B1-Bq. Therefore, non-choosing block B-2-Bq is also activated. Moreover, if refresh enable signal REFE is set to H level, the refresh address signal A1 from the refresh counter 38 will be supplied to the line decoder 12 through the multiplexer 52 in all blocks B1-Bq. Therefore, also in block B-2-Bq of not choosing not only in the selected block B1, as shown in drawing 20 (i) and (l), the potential of one word line corresponding to the refresh address signal A1 serves as H level. All the memory cells connected to the selected word line by this are refreshed. In addition, the increment of the refresh address signal refAdd is answered and carried out to the fall of refresh enable signal REFE.

[0107] (2) Burst write-in actuation drawing 21 is a timing chart which shows burst write-in actuation of this semiconductor memory. In burst write-in actuation, as shown in drawing 21 (j), m-bit data Qi-Qi +3 is latched to the I / O register train 18 in a selection block (for example, B1), respectively. Subsequently, if the potential of one word line in the selection block B1 is set to H level as is shown in drawing 21 (h), the 4m bit data Qi-Qi +3 will be written in all the memory cells connected to the word line.

[0108] If refresh enable signal REFE is set to H level on the other hand as shown in drawing 21 (f) while the burst input of data Qi-Qi +3 is carried out in this way, not only a selection block but a non-choosing block will be activated. Therefore, in all blocks B1-Bq, the line decoder 12 answers the supplied refresh address signal A1, and chooses one word line. As shown in drawing 21 (i) and (l) by this, the potential of the word line serves as H level, and all the memory cells connected to the word line are refreshed.

[0109] Thus, while refreshing during burst actuation in a selection block, also in a non-choosing block, it may be made to refresh.

[0110] As mentioned above, although the example of this invention was explained in full detail, the range of this invention is not limited by the example mentioned above, and this invention can be carried out in the mode which added various amelioration, correction, deformation, etc. based on this contractor's information within limits which do not deviate from that main point.

[0111]

[Effect of the Invention] Since refresh is performed during burst actuation as mentioned above according to this invention, it is possible to perform burst actuation continuously. Moreover, since refresh is performed during burst actuation in spite of adopting the dynamic memory cell to be refreshed, it can be dealt with like SRAM. Furthermore, since the dynamic memory cell is adopted, a semiconductor memory

with large storage capacity is easily realizable.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the whole semiconductor-memory configuration by the example 1 of this invention.

[Drawing 2] It is the circuit diagram showing the configuration of one memory cell in the semiconductor memory shown in drawing 1 .

[Drawing 3] It is the timing chart which shows burst read-out actuation of the semiconductor memory shown in drawing 1 .

[Drawing 4] It is the timing chart which shows burst write-in actuation of the semiconductor memory shown in drawing 1 .

[Drawing 5] It is the block diagram showing the whole semiconductor-memory configuration by the example 2 of this invention.

[Drawing 6] It is the timing chart which shows burst read-out actuation of the semiconductor memory shown in drawing 5 .

[Drawing 7] It is the timing chart which shows burst write-in actuation of the semiconductor memory shown in drawing 5 .

[Drawing 8] It is the block diagram showing the whole semiconductor-memory configuration by the example 3 of this invention.

[Drawing 9] It is the block diagram showing the whole semiconductor-memory configuration by the example 4 of this invention.

[Drawing 10] It is the timing chart which shows burst read-out actuation of the semiconductor memory shown in drawing 9 .

[Drawing 11] It is the timing chart which shows burst write-in actuation of the semiconductor memory shown in drawing 9 .

[Drawing 12] It is the block diagram showing the whole semiconductor-memory configuration by the example 5 of this invention.

[Drawing 13] It is the timing chart which shows an example of burst read-out actuation of the semiconductor memory shown in drawing 12 .

[Drawing 14] It is the timing chart which shows an example of burst write-in actuation of the semiconductor memory shown in drawing 12 .

[Drawing 15] It is the timing chart which shows other examples of burst read-out actuation of the semiconductor memory shown in drawing 12 .

[Drawing 16] It is the timing chart which shows other examples of burst write-in actuation of the semiconductor memory shown in drawing 12 .

[Drawing 17] It is the timing chart which shows burst read-out actuation of the semiconductor memory by the example 6 of this invention.

[Drawing 18] It is the block diagram showing the whole semiconductor-memory configuration by the example 7 of this invention.

[Drawing 19] It is the block diagram showing the whole semiconductor-memory configuration by the example 8 of this invention.

[Drawing 20] It is the timing chart which shows burst read-out actuation of the semiconductor memory

shown in drawing 19 .

[Drawing 21] It is the timing chart which shows burst write-in actuation of the semiconductor memory shown in drawing 19 .

[Drawing 22] It is the circuit diagram showing the configuration of the memory cell of DRAM.

[Drawing 23] It is drawing showing the configuration of the memory cell shown in drawing 22 , and is the cross section where (a) met the plan and (b) met the B-B line in (a).

[Drawing 24] It is the circuit diagram showing the configuration of the memory cell of SRAM.

[Drawing 25] It is the plan showing the configuration of the memory cell shown in drawing 24 .

[Drawing 26] It is the block diagram showing an example of the conventional SRAM in which burst actuation is possible.

[Drawing 27] It is the timing chart which shows burst read-out actuation of SRAM shown in drawing 26 .

[Drawing 28] It is the timing chart which shows burst write-in actuation of SRAM shown in drawing 26 .

[Drawing 29] It is the block diagram showing other examples of the conventional SRAM in which burst read-out actuation is possible.

[Description of Notations]

10 41 A memory cell array, 12 A line decoder, 16, 42, 44 A sense amplifier and a write-in driver train, 18, 47, 48 An input register train, 32 Burst counter, 36 A refresh control circuit, 38 A refresh counter, 50 Block decoder, 60 A train decoder, WL1-WLx A word line, BL1/BL1 - BL4m, /BL4m, SBL1/SBL1 - SBLm, /SBLm, DBL1/DBL1 - DBL3m, /DBL3m Bit line pair, SMC, DMC A memory cell, extAdd An external address signal, refAdd Refresh address signal.

---

[Translation done.]



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-129882

(43)公開日 平成8年(1996)5月21日

(51)Int.Cl.<sup>6</sup>

G11C 11/406

識別記号

庁内整理番号

F I

技術表示箇所

G11C 11/34

363 K

審査請求 未請求 請求項の数13 O L (全 30 頁)

(21)出願番号 特願平6-267654

(22)出願日 平成6年(1994)10月31日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 松尾 龍一

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

(72)発明者 和田 知久

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社ユー・エル・エス・アイ開発研究所内

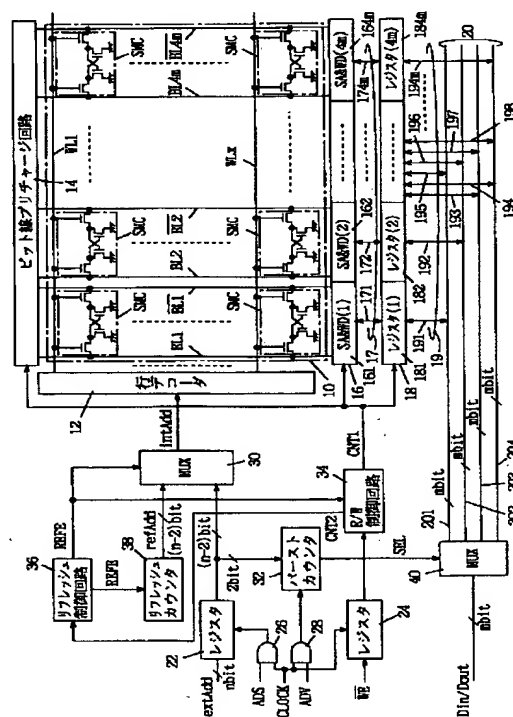
(74)代理人 弁理士 深見 久郎 (外3名)

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 記憶容量が大きく、かつSRAMと同等の速度で連続的なバースト動作が可能な半導体記憶装置を提供することである。

【構成】 ビット線対BL1, /BL1~BL4m, /BL4mに対応して4m個の入出力レジスタ181~184mを設ける。バースト読出動作ではメモリセルSMCから読出されたデータを入出力レジスタ181~184mでラッチする。このとき、リフレッシュカウンタ38から行デコーダ12へリフレッシュアドレス信号refAddを行デコーダ12へ供給し、これにより1つのワード線に接続されたすべてのメモリセルSMCをリフレッシュする。そして、入出力レジスタにラッチされたデータは入出力バス201~204を介してmビットずつ出力されるようにした。



(2)

## 【特許請求の範囲】

【請求項 1】 複数のメモリセルと、

外部から供給された 1 つの外部アドレス信号にตอบสนองして前記複数のメモリセルのうち少なくとも 2 つのメモリセルを連続的にアクセスするバースト手段と、  
前記バースト手段によるアクセス中に前記複数のメモリセルのうちいずれかのメモリセルをリフレッシュするリフレッシュ手段とを備えた半導体記憶装置。

【請求項 2】 前記バースト手段は、

前記 1 つの外部アドレス信号にตอบสนองして前記少なくとも 2 つのメモリセルからデータを読出す読出手段と、  
前記読出手段によって読出されたデータを記憶する記憶手段と、  
前記記憶手段に記憶されたデータを順次出力する出力手段とを備え、  
前記リフレッシュ手段は前記記憶手段にデータが記憶された後に前記いずれかのメモリセルをリフレッシュすることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】 前記バースト手段は、

外部から供給されたデータを順次入力する入力手段と、  
前記入力手段によって入力されたデータを記憶する記憶手段と、  
前記 1 つの外部アドレス信号にตอบสนองして前記記憶手段に記憶されたデータを前記少なくとも 2 つのメモリセルに書込む書込手段と、  
前記リフレッシュ手段は前記少なくとも 2 つのメモリセルにデータが書込まれる前に前記いずれかのメモリセルをリフレッシュすることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 4】 複数のワード線、前記ワード線と交差する複数のビット線対、ならびに前記ワード線および前記ビット線対のいずれかの交点に対応して設けられ各々が対応するワード線および対応するビット線対の少なくともいずれか一方のビット線に接続された複数のメモリセルを含むメモリセルアレイと、  
供給された内部アドレス信号をデコードして前記ワード線のうち 1 つを選択するデコード手段と、  
前記ビット線対に対応して設けられ、各々が対応するビット線対から転送されたデータを記憶する複数の記憶手段と、  
前記記憶手段の各々に記憶されたデータを順次出力する出力手段と、  
所定のリフレッシュアドレス信号を発生するリフレッシュアドレス発生手段と、  
外部から供給された外部アドレス信号を前記デコード手段に前記内部アドレス信号として供給するとともに、前記ビット線対から前記記憶手段にデータが転送されたとき前記外部アドレス信号の代わりに前記リフレッシュアドレス信号を供給する内部アドレス供給手段とを備えた半導体記憶装置。

【請求項 5】 前記リフレッシュアドレス発生手段は、前記ビット線対から前記記憶手段にデータが転送されてから再び前記ビット線対から前記記憶手段にその次のデータが転送されるまでの間に少なくとも 2 つのリフレッシュアドレス信号を順次発生することを特徴とする請求項 4 に記載の半導体記憶装置。

【請求項 6】 複数のワード線、前記ワード線と交差する複数のビット線対、ならびに前記ワード線および前記ビット線対のいずれかの交点に対応して設けられ各々が対応するワード線および対応するビット線対の少なくともいずれか一方のビット線に接続された複数のメモリセルを含むメモリセルアレイと、  
供給された内部アドレス信号をデコードして前記ワード線のうち 1 つを選択するデコード手段と、  
前記ビット線対に対応して設けられ、各々が対応するビット線対に転送されるべきデータを記憶する複数の記憶手段と、  
外部から供給されたデータを前記記憶手段の各々に順次入力する入力手段と、  
所定のリフレッシュアドレス信号を発生するリフレッシュアドレス発生手段と、  
外部から供給された外部アドレス信号を前記デコード手段に前記内部アドレス信号として供給するとともに、前記記憶手段から前記ビット線対にデータが転送される前は前記外部アドレス信号の代わりに前記リフレッシュアドレス信号を供給する内部アドレス供給手段とを備えた半導体記憶装置。

【請求項 7】 前記リフレッシュアドレス発生手段は、前記デコード手段が前記ワード線の各々を一定期間ごとに選択するように前記リフレッシュアドレス信号を順次発生することを特徴とする請求項 4 または請求項 5 に記載の半導体記憶装置。

【請求項 8】 前記メモリセルの各々は、前記対応するビット線対の一方のビット線とメモリノードとの間に接続され、前記対応するワード線の電位にตอบสนองして導通状態となるアクセストランジスタと、前記メモリノードと所定の電位が供給される所定電位ノードとの間に接続されたセルキャパシタとを備えたことを特徴とする請求項 4 または請求項 6 に記載の半導体記憶装置。

【請求項 9】 前記メモリセルの各々は、前記対応するビット線対の一方のビット線と第 1 のメモリノードとの間に接続され、前記対応するワード線の電位にตอบสนองして導通状態となる第 1 のアクセストランジスタと、  
前記対応するビット線対の他方のビット線と第 2 のメモリノードとの間に接続され、前記対応するワード線の電位にตอบสนองして導通状態となる第 2 のアクセストランジスタと、  
前記第 1 のメモリノードと接地ノードとの間に接続さ

(3)

3

れ、前記第2のメモリノードの電位に応答して導通状態となる第1のドライバトランジスタと、  
前記第2のメモリノードと接地ノードとの間に接続され、前記第1のメモリノードの電位に応答して導通状態となる第2のドライバトランジスタとを備えたことを特徴とする請求項4または請求項6に記載の半導体記憶装置。

【請求項10】 複数の行および複数の第1の列からなるマトリックス状に配置され各々が第1のアクセス速度を有する複数の第1のメモリセルを含む第1のメモリセルアレイと、

前記第1のメモリセルアレイとその行が延びる一方側に隣接して配置され、前記複数の行および少なくとも1つの第2の列からなるマトリックス状に配置され各々が前記第1のアクセス速度よりも速い第2のアクセス速度を有する複数の第2のメモリセルを含む第2のメモリセルアレイと、

前記複数の行に配置され、各々が対応する行に配置された第1および第2のメモリセルと接続された複数のワード線と、

前記複数の第1の列に配置され、各々が対応する第1の列に配置された第1のメモリセルと接続された複数の第1のビット線対と、

前記第2の列に配置され、その第2の列に配置された第2のメモリセルと接続された少なくとも1つの第2のビット線対と、

供給された内部アドレス信号をデコードして前記ワード線のうち1つを選択するデコード手段と、

前記第1のビット線対に対応して設けられ、各々が対応する第1のビット線対から転送されたデータを記憶する複数の第1の記憶手段と、

前記第2のビット線対に対応して設けられ、対応する第2のビット線対から転送されたデータを記憶する少なくとも1つの第2の記憶手段と、

前記第1および第2の記憶手段の各々に記憶されたデータを順次出力する出力手段と、

所定のリフレッシュアドレス信号を発生するリフレッシュアドレス発生手段と、

外部から供給された外部アドレス信号を前記デコード手段に前記内部アドレス信号として供給するとともに、前記第1および第2のビット線対から前記第1および第2の記憶手段にデータが転送されたとき前記外部アドレス信号の代わりに前記リフレッシュアドレス信号を供給する内部アドレス供給手段とを備えた半導体記憶装置。

【請求項11】 複数のワード線、前記ワード線と交差する複数のビット線対、ならびに前記ワード線および前記ビット線対のいずれかの交点に対応して設けられ各々が対応するワード線および対応するビット線対の少なくともいずれか一方のビット線に接続された複数のメモリセルを含むメモリセルアレイと、

4

供給された内部アドレス信号をデコードして前記ワード線のうち1つを選択するデコード手段と、

前記ビット線対に対応して設けられ、各々が対応するビット線対から転送されたデータを記憶する複数の記憶手段とをそれぞれ含む複数のブロックと、

前記記憶手段の各々に記憶されたデータを順次出力する出力手段と、

所定のリフレッシュアドレス信号を発生するリフレッシュアドレス発生手段と、

10 外部から供給された外部アドレス信号を前記ブロックの各々における前記デコード手段に前記内部アドレス信号として供給するとともに、前記ブロックの各々における前記ビット線対から前記記憶手段にデータが転送されたとき前記外部アドレス信号の代わりに前記リフレッシュアドレス信号を供給する内部アドレス供給手段とを備えた半導体記憶装置。

【請求項12】 複数のワード線、前記ワード線と交差する複数のビット線対、ならびに前記ワード線および前記ビット線対のいずれかの交点に対応して設けられ各々が対応するワード線および対応するビット線対の少なくともいずれか一方のビット線に接続された複数のメモリセルを含むメモリセルアレイと、

供給された内部アドレス信号をデコードして前記ワード線のうち1つを選択するデコード手段と、

前記ビット線対に対応して設けられ、各々が対応するビット線対に転送されるべきデータを記憶する複数の記憶手段とをそれぞれ含む複数のブロックと、

外部から供給されたデータを前記記憶手段の各々に順次入力する入力手段と、

30 所定のリフレッシュアドレス信号を発生するリフレッシュアドレス発生手段と、

外部から供給された外部アドレス信号を前記ブロックの各々における前記デコード手段に前記内部アドレス信号として供給するとともに、前記ブロックの各々における前記記憶手段から前記ビット線対にデータが転送される前は前記外部アドレス信号の代わりに前記リフレッシュアドレス信号を供給する内部アドレス供給手段とを備えた半導体記憶装置。

【請求項13】 各々が複数のメモリセルを含む複数のブロックと、

外部から供給された1つの外部アドレス信号に応答して前記ブロックのうち1つのブロックにおける少なくとも1つのメモリセルと前記ブロックのうちもう1つのブロックにおける少なくとも1つのメモリセルとを連続的にアクセスするバースト手段と、

前記バースト手段が前記1つのブロックにおける少なくとも1つのメモリセルをアクセスしているとき前記もう1つのブロックにおけるいずれかのメモリセルをリフレッシュするリフレッシュ手段とを備えた半導体記憶装置。

50

(4)

5

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は半導体記憶装置に関し、さらに詳しくは、1つの外部アドレス信号に応答して複数のデータを連続的に読出しまたは書込むバースト動作が可能な半導体記憶装置に関する。

## 【0002】

【従来の技術】一般にメモリは、RAM（ランダムアクセスメモリ）とROM（リードオンリメモリ）とに大別される。RAMはさらに、DRAM（ダイナミックRAM）とSRAM（スタティックRAM）とに大別される。DRAMは、キャパシタに蓄えられる電荷の有無によって情報を記憶する。SRAMは、フリップフロップ回路によって情報を記憶する。

【0003】まず、DRAMについて概略説明する。4Kビット世代以降のDRAMでは、1つのNチャネルMOSトランジスタと1つのキャパシタとを用いたメモリセルが主流となっている。また、このようなメモリセルは、現在の1Mビット、4Mビットおよび16MビットのDRAMにも採用されている。

【0004】図22は、DRAMのメモリセルを示す回路図である。図23(a)はDRAMのトレンチ型メモリセルの構造を示す平面図であり、図23(b)は図23(a)中のB-B線に沿った断面図である。図22および図23は、「CMOS超LSIの設計」、1989年4月25日初版発行、培風館の第158頁および第160頁に示されている。

【0005】図22および図23(a)、(b)に示すように、DRAM用のダイナミックメモリセルDMCは、1つのアクセストランジスタT1と1つのセルキャパシタCsとを備える。書込動作では、ワード線WLの電位がH（論理ハイ）レベルになり、アクセストランジスタT1が導通状態となる。これにより、ビット線BLの電位がアクセストランジスタT1を介してセルキャパシタCsの一方電極、つまりメモリノードM1に伝達される。ビット線BLの電位がHレベルの場合はメモリノードM1の電位もHレベルとなり、ビット線BLの電位がL（論理ロー）レベルの場合はメモリノードM1の電位もLレベルとなる。そして、ワード線WLの電位がLレベルになると、アクセストランジスタT1が非導通状態となる。これにより、セルキャパシタCsに電荷が蓄積される。なお、セルキャパシタCsの他方電極には一定のセルプレート電位Vcpが与えられる。

【0006】読出動作では、まずビット線BLが一定電位にプリチャージされ、続いてワード線WLの電位がHレベルとなる。これにより、アクセストランジスタT1が導通状態となり、メモリノードM1の電荷がアクセストランジスタT1を介してビット線BLに読出される。これによりビット線BLの電位が一定電位から変化し、それにより生じた電位差がセンスアンプ（図示せず）に

6

よって増幅される。

【0007】次に、SRAMについて概略説明する。SRAM用のスタティックメモリセルは、フリップフロップ回路などの双安定回路から構成される。スタティックメモリセルは、負荷素子の種類によって幾つかに大別される。たとえば、負荷素子としてNチャネルMOSトランジスタを用いたものは、NMOS負荷型セルと呼ばれる。また、負荷素子としてPチャネルMOSトランジスタを用いたものは、CMOS型セルと呼ばれる。また、負荷素子として高抵抗を用いたものは、高抵抗負荷型セルと呼ばれる。さらに、負荷素子としてPチャネルMOS薄膜トランジスタを用いたものは、TFT型セルと呼ばれる。現在、主流として用いられているのは高抵抗負荷型セルである。

【0008】図24は、スタティックメモリセルを示す回路図である。図25は、スタティックメモリセルの構造を示す平面図である。図24および図25は、上記「CMOS超LSIの設計」の第164頁に示されている。

【0009】図24および図25に示すように、スタティックメモリセルSMCは、2つのアクセストランジスタT2、T3と、メモリノードM2、M3を電源電位Vccにプルアップする高抵抗R1、R2と、クロスカップルされた2つのドライバトランジスタT4、T5とを備える。

【0010】書込動作では、ワード線WLの電位がHレベルとなり、アクセストランジスタT2、T3が導通状態となる。それにより、ビット線BLの電位はアクセストランジスタT2を介してメモリノードM2へ与えられ、ビット線BLの電位はアクセストランジスタT3を介してメモリノードM3へ与えられる。たとえば、ビット線BLがHレベルでかつビット線BLがLレベルの場合は、メモリノードM2の電位はHレベルとなり、メモリノードM3の電位はLレベルとなる。続いて、ワード線WLの電位がLレベルとなると、アクセストランジスタT2およびT3はともに非導通状態となる。高抵抗R1、R2とドライバトランジスタT4、T5は双安定回路（フリップフロップ）を構成するため、メモリノードM2、M3はその与えられた電位を保持する。

【0011】読出動作では、ワード線WLの電位がHレベルとなり、アクセストランジスタT2およびT3がともに導通状態となる。これにより、メモリノードM2およびM3の電位がビット線BLおよびBLにそれぞれ伝達され、その伝達された電位がセンスアンプ（図示せず）によって増幅される。

【0012】図26は、バースト動作が可能な従来のSRAMの一例を示すブロック図である。図26を参照して、このSRAMは、メモリセルアレイ10と、行デコーダ12と、ビット線プリチャージ回路14と、センスアンプおよび書込ドライバ列42とを備える。メモリセ

(5)

7  
ルアレイ10は、ワード線WL1~WLxと、それらワード線に交差するビット線対BL1, /BL1~BLm, /BLmと、ワード線およびビット線対の交点に対応して設けられた複数のスタティックメモリセルSMCとを備える。行デコーダ12は、供給されたnビットの内部アドレス信号intAddをデコードしてワード線WL1~WLxのうち1つを選択する。ビット線プリチャージ回路14は、すべてのビット線対BL1, /BL1~BLm, /BLmをプリチャージする。センスアンプおよび書込ドライバ列42は、ビット線対BL1, /BL1~BLm, /BLmに対応して設けられたm個のセンスアンプおよび書込ドライバ421~42mを備える。

【0013】このSRAMはさらに、アドレスレジスタ22と、バーストカウンタ32と、書込制御レジスタ24と、読出/書込制御回路34とを備える。アドレスレジスタ22は、ANDゲート26を介して供給されるアドレスストロブ信号ADSにตอบสนองしてnビットの外部アドレス信号を内部に取込む。バーストカウンタ32は、アドレスレジスタ22からのnビットの外部アドレス信号extAddのうちkビットのアドレス信号を格納する。その格納されたアドレス信号はANDゲート28を介して与えられるアドバンス信号ADVにตอบสนองしてインクリメントされる。書込制御レジスタ24は、クロック信号CLOCKにตอบสนองして書込イネーブル信号/WEを内部に格納する。読出/書込制御回路34は、書込制御レジスタ24の書込イネーブル信号/WEにตอบสนองしてビット線プリチャージ回路14およびセンスアンプおよび書込ドライバ42を制御する。

【0014】図27は、図26に示されたSRAMのバースト読出動作を示すタイミングチャートである。図27(c)のアドレスストロブ信号ADSにตอบสนองして、図27(b)に示されるように外部アドレス信号Aiがアドレスレジスタ22に取込まれる。外部アドレス信号Aiのうちkビットがバーストカウンタ32に格納される。バーストカウンタ32は図27(d)のアドバンス信号ADVにตอบสนองしてそのkビットのアドレス信号をインクリメントする。インクリメントされたkビットのアドレス信号は、アドレスレジスタ22の(n-k)ビットのアドレス信号とともに、nビットの内部アドレス信号intAddとして行デコーダ12に与えられる。したがって、図27(e)に示されるように内部アドレス信号intAddは連続的に変化する。行デコーダ12はこれら4つの連続する内部アドレス信号intAddにตอบสนองして4つのワード線を順次選択する。

【0015】ここでは図27(f)に示されるように書込イネーブル信号/WEがHレベルにあるので、すべてのビット線対BL1, /BL1~BLm, /BLmに読出されたデータはセンスアンプ421~42mによってそれぞれ増幅される。そして、図27(g)に示される

8  
ようにmビットのデータDout1~Doutmが読出バス1を介して並列的に読出される。

【0016】図28は、図26に示されたSRAMのバースト書込動作を示すタイミングチャートである。図28(c)のアドレスストロブ信号ADSにตอบสนองして外部アドレス信号Aiが取込まれる。続いて図28(d)のアドバンス信号ADVにตอบสนองしてその外部アドレス信号Aiがインクリメントされる。したがって、図28(e)に示されるように内部アドレス信号intAddが連続的に変化する。

【0017】一方、図28(f)の書込イネーブル信号/WEにตอบสนองして、図28(g)に示されるようにmビットのデータDin1~Dinmが書込データレジスタ3および書込バス2を介して書込ドライバ列42に格納される。これらmビットのデータDin1~Dinmは、選択された1つのワード線に接続されたm個のスタティックメモリセルSMCに同時に書込まれる。たとえば最初のmビットのデータDiは、内部アドレス信号Aiに対応する1つのワード線に接続されたm個のスタティックメモリセルSMCに書込まれる。

【0018】図29は、バースト動作が可能な従来のSRAMの他の例を示すブロック図である。図29を参照して、このSRAMにおけるメモリセルアレイ10は、図26の4倍のビット線対BL1, /BL1~BL4m, /BL4mを備える。このSRAMはさらに、4m:mのマルチプレクサ4と、列デコーダ60と、m本の双方向転送バス群5とを備える。マルチプレクサ4は、4mのビット線対BL1, /BL1~BL4m, /BL4mのうちmのビット線対を双方向転送バス群5を介してセンスアンプおよび書込ドライバ列42に接続する。列デコーダ60は、バーストカウンタ32から供給された2ビットのアドレス信号にตอบสนองしてマルチプレクサ4を上記のように制御する。

【0019】

【発明が解決しようとする課題】上述したように、ダイナミックメモリセルDMCは1つのアクセストランジスタT1および1つのセルキャパシタCsから構成されるため、1つのダイナミックメモリセルDMCの占有面積は非常に小さい。したがって、記憶容量の大きいDRAMを容易に実現することができる。しかしながら、DRAMにおいては電荷がキャパシタCsによって保持されているため、その電荷量は時間の経過とともに減少する。したがって、一定時間ごとに電荷をキャパシタCsに再蓄積するというリフレッシュ動作が必要である。

【0020】一方、スタティックメモリセルSMCは双安定性を有するため、リフレッシュ動作が不要である。しかしながら、スタティックメモリセルは一般に6つの素子から構成されるため、1つのメモリセルSMCの占有面積はダイナミックメモリセルのそれよりも大きい。したがって、記憶容量の大きいSRAMを実現すること

(6)

9

は困難である。

【0021】したがって、図26および図29に示されたSRAMはリフレッシュ動作を必要としないが、記憶容量の大きいものを実現することは困難であった。記憶容量の大きいものを実現するには、たとえばスタティックメモリセルSMCをダイナミックメモリセルDMCと置換えるということが考えられる。しかしながら、ダイナミックメモリセルDMCを用いた場合はリフレッシュ動作が必要となるため、リフレッシュ動作中はバースト動作を行なうことができず、アクセス効率が低下するという問題が生じる。

【0022】この発明の目的は、バースト動作中にリフレッシュ動作を行なうことができる半導体記憶装置を提供することである。

【0023】この発明の他の目的は、記憶容量の大きい半導体記憶装置を提供することである。

【0024】この発明のさらに他の目的は、アクセス速度の速い半導体記憶装置を提供することである。

【0025】

【課題を解決するための手段】請求項1に係る半導体記憶装置は、複数のメモリセルと、バースト手段と、リフレッシュ手段とを備える。バースト手段は、外部から供給された1つの外部アドレス信号に応答して複数のメモリセルのうち少なくとも2つのメモリセルを連続的にアクセスする。リフレッシュ手段は、バースト手段によるアクセス中に複数のメモリセルのうちいずれかのメモリセルをリフレッシュする。

【0026】請求項2に係る半導体記憶装置においては、上記請求項1のバースト手段が読出手段と記憶手段と出力手段とを備える。読出手段は、1つの外部アドレス信号に応答して少なくとも2つのメモリセルからデータを読出す。記憶手段は、読出手段によって読出されたデータを記憶する。出力手段は、記憶手段に記憶されたデータを順次出力する。さらに上記請求項1のリフレッシュ手段は、記憶手段にデータが記憶された後にいずれかのメモリセルをリフレッシュする。

【0027】請求項3に係る半導体記憶装置においては、上記請求項1のバースト手段が入力手段と記憶手段と書込手段とを備える。入力手段は、外部から供給されたデータを順次入力する。記憶手段は、入力手段によって入力されたデータを記憶する。書込手段は、1つの外部アドレス信号に応答して記憶手段に記憶されたデータを少なくとも2つのメモリセルに書込む。さらに上記請求項1のリフレッシュ手段は、少なくとも2つのメモリセルにデータが書込まれる前にいずれかのメモリセルをリフレッシュする。

【0028】請求項4に係る半導体記憶装置は、メモリセルアレイと、デコード手段と、複数の記憶手段と、出力手段と、リフレッシュアドレス発生手段と、内部アドレス供給手段とを備える。メモリセルアレイは、複数の

10

ワード線と、複数のビット線対と、複数のメモリセルとを含む。複数のビット線対はワード線と交差する。複数のメモリセルはワード線およびビット線対のいずれかの交点に対応して設けられる。各メモリセルは、対応するワード線および対応するビット線対の少なくともいずれか一方のビット線に接続される。デコード手段は、供給された内部アドレス信号をデコードしてワード線のうち1つを選択する。複数の記憶手段は、ビット線対に対応して設けられる。各記憶手段は、対応するビット線対から転送されたデータを記憶する。出力手段は、記憶手段の各々に記憶されたデータを順次出力する。リフレッシュアドレス発生手段は、所定のリフレッシュアドレス信号を発生する。内部アドレス供給手段は、外部から供給された外部アドレス信号をデコード手段に内部アドレス信号として供給するとともに、ビット線対から記憶手段にデータが転送されたとき外部アドレス信号の代わりにリフレッシュアドレス信号を供給する。

【0029】請求項5に係る半導体記憶装置においては、上記請求項4のリフレッシュアドレス発生手段が、ビット線対から記憶手段にデータが転送されてから再びビット線対から記憶手段にその次のデータが転送されるまでの間に少なくとも2つのリフレッシュアドレス信号を順次発生する。

【0030】請求項6に係る半導体記憶装置は、メモリセルアレイと、デコード手段と、複数の記憶手段と、入力手段と、リフレッシュアドレス発生手段と、内部アドレス供給手段とを備える。メモリセルアレイは、複数のワード線と、複数のビット線対と、複数のメモリセルとを含む。複数のビット線対はワード線と交差する。複数のメモリセルは、ワード線およびビット線対のいずれかの交点に対応して設けられる。各メモリセルは、対応するワード線および対応するビット線対の少なくともいずれか一方のビット線に接続される。デコード手段は、供給された内部アドレス信号をデコードしてワード線のうち1つを選択する。複数の記憶手段は、ビット線対に対応して設けられる。各記憶手段は、対応するビット線対に転送されるべきデータを記憶する。入力手段は、外部から供給されたデータを記憶手段の各々に順次入力する。リフレッシュアドレス発生手段は、所定のリフレッシュアドレス信号を発生する。内部アドレス供給手段は、外部から供給された外部アドレス信号をデコード手段に内部アドレス信号として供給するとともに、記憶手段からビット線対にデータが転送される前は外部アドレス信号の代わりにリフレッシュアドレス信号を供給する。

【0031】請求項7に係る半導体記憶装置においては、上記請求項4または請求項6のリフレッシュアドレス発生手段が、デコード手段がワード線の各々を一定期間ごとに選択するようにリフレッシュアドレス信号を順次発生する。

(7)

11

【0032】請求項8に係る半導体記憶装置においては、上記請求項4または請求項6のメモリセルの各々がアクセストランジスタとセルキャパシタとを含む。アクセストランジスタは、対応するビット線対の一方のビット線とメモリノードとの間に接続され、対応するワード線の電位にตอบสนองして導通状態となる。セルキャパシタは、メモリノードと所定の電位が供給される所定電位ノードとの間に接続される。

【0033】請求項9に係る半導体記憶装置においては、上記請求項4または請求項6のメモリセルの各々が、第1のアクセストランジスタと、第2のアクセストランジスタと、第1のドライバトランジスタと、第2のドライバトランジスタとを含む。第1のアクセストランジスタは、対応するビット線対の一方のビット線と第1のメモリノードとの間に接続され、対応するワード線の電位にตอบสนองして導通状態となる。第2のアクセストランジスタは、対応するビット線対の他方のビット線と第2のメモリノードとの間に接続され、対応するワード線の電位にตอบสนองして導通状態となる。第1のドライバトランジスタは、第1のメモリノードと接地ノードとの間に接続され、第2のメモリノードの電位にตอบสนองして導通状態となる。第2のドライバトランジスタは、第2のメモリノードと接地ノードとの間に接続され、第1のメモリノードの電位にตอบสนองして導通状態となる。

【0034】請求項10に係る半導体記憶装置は、第1のメモリセルアレイと、第2のメモリセルアレイと、複数のワード線と、複数の第1のビット線対と、少なくとも1つの第2のビット線対と、デコード手段と、複数の第1の記憶手段と、少なくとも1つの第2の記憶手段と、出力手段と、リフレッシュアドレス発生手段と、アドレス供給手段とを備える。第1のメモリセルアレイは複数の第1のメモリセルを含む。複数の第1のメモリセルは、複数の行および複数の第1の列からなるマトリクス状に配置される。各第1のメモリセルは第1のアクセス速度を有する。第2のメモリセルアレイは、第1のメモリセルアレイとその行が延びる一方側に隣接して配置され、複数の第2のメモリセルを含む。複数の第2のメモリセルは、複数の行および少なくとも1つの第2の列からなるマトリクス状に配置される。各第2のメモリセルは、第1のアクセス速度よりも速い第2のアクセス速度を有する。複数のワード線は複数の行に配置される。各ワード線は、対応する行に配置された第1および第2のメモリセルと接続される。複数の第1のビット線対は複数の第1の列に配置される。各第1のビット線対は、対応する第1の列に配置された第1のメモリセルと接続される。第2のビット線対は、第2の列に配置され、その第2の列に配置された第2のメモリセルと接続される。デコード手段は、供給された内部アドレス信号をデコードしてワード線のうち1つを選択する。複数の第1の記憶手段は、第1のビット線対に対応して設けら

12

れる。各第1の記憶手段は、対応する第1のビット線対から転送されたデータを記憶する。第2の記憶手段は、第2のビット線対に対応して設けられ、対応する第2のビット線対から転送されたデータを記憶する。出力手段は、第1および第2の記憶手段の各々に記憶されたデータを順次出力する。リフレッシュアドレス発生手段は、所定のリフレッシュアドレス信号を発生する。内部アドレス供給手段は、外部から供給された外部アドレス信号をデコード手段に内部アドレス信号として供給するとともに、第1および第2のビット線対から第1および第2の記憶手段にデータが転送されたとき外部アドレス信号の代わりにリフレッシュアドレス信号を供給する。

【0035】請求項11に係る半導体記憶装置は、複数のブロックと、出力手段と、リフレッシュアドレス発生手段と、内部アドレス供給手段とを備える。各ブロックは、メモリセルアレイと、デコード手段と、複数の記憶手段とを含む。メモリセルアレイは、複数のワード線と、複数のビット線対と、複数のメモリセルとを含む。複数のビット線対はワード線と交差する。複数のメモリセルは、ワード線およびビット線対のいずれかの交点に対応して設けられる。各メモリセルは、対応するワード線および対応するビット線対の少なくともいずれか一方のビット線に接続される。デコード手段は、供給された内部アドレス信号をデコードしてワード線のうち1つを選択する。複数の記憶手段は、ビット線対に対応して設けられる。各記憶手段は、対応するビット線対から転送されたデータを記憶する。出力手段は、記憶手段の各々に記憶されたデータを順次出力する。リフレッシュアドレス発生手段は、所定のリフレッシュアドレス信号を発生する。内部アドレス供給手段は、外部から供給された外部アドレス信号を各ブロックにおけるデコード手段に内部アドレス信号として供給するとともに、各ブロックにおけるビット線対から記憶手段にデータが転送されたとき外部アドレス信号の代わりにリフレッシュアドレス信号を供給する。

【0036】請求項12に係る半導体記憶装置は、複数のブロックと、入力手段と、リフレッシュアドレス発生手段と、アドレス供給手段とを備える。各ブロックは、メモリセルアレイと、デコード手段と、複数の記憶手段とを含む。メモリセルアレイは、複数のワード線と、複数のビット線対と、複数のメモリセルとを含む。複数のビット線対はワード線と交差する。複数のメモリセルは、ワード線およびビット線対のいずれかの交点に対応して設けられる。各メモリセルは、対応するワード線および対応するビット線対の少なくともいずれか一方のビット線に接続される。デコード手段は、供給された内部アドレス信号をデコードしてワード線のうち1つを選択する。複数の記憶手段は、ビット線対に対応して設けられる。各記憶手段は、対応するビット線対に転送されるべきデータを記憶する。入力手段は、外部から供給され



(8)

13

たデータを記憶手段の各々に順次入力する。リフレッシュアドバース発生手段は、所定のリフレッシュアドレス信号を発生する。内部アドレス供給手段は、外部から供給された外部アドレス信号を各ブロックにおけるデコード手段に内部アドレス信号として供給するとともに、各ブロックにおける記憶手段からビット線対にデータが転送される前は外部アドレス信号の代わりにリフレッシュアドレス信号を供給する。

【0037】請求項1-3に係る半導体記憶装置は、複数のブロックと、バースト手段と、リフレッシュ手段とを備える。各ブロックは複数のメモリセルを含む。バースト手段は、外部から供給された1つの外部アドレス信号にตอบสนองして1つのブロックにおける少なくとも1つのメモリセルともう1つのブロックにおける少なくとも1つのメモリセルとを連続的にアクセスする。リフレッシュ手段は、バースト手段が1つのブロックにおける少なくとも1つのメモリセルをアクセスしているときもう1つのブロックにおけるいずれかのメモリセルをリフレッシュする。

【0038】

【作用】このような半導体記憶装置においては、外部から供給された1つの外部アドレス信号にตอบสนองして2以上のメモリセルから連続的にデータが読出され、あるいは2以上のメモリセルに連続的にデータが書込まれるというバースト動作が行なわれる。しかも、このようなバースト動作が行なわれている最中に、1または2以上のメモリセルがリフレッシュされる。したがって、バースト動作とその次のバースト動作との間にリフレッシュを行なう必要がなく、連続的にバースト動作を行なうことができる。

【0039】

【実施例】以下、この発明の実施例を図面を参照して詳しく説明する。なお、図中同一符号は同一または相当部分を示す。

【0040】【実施例1】図1は、この発明の実施例1によるバースト動作が可能な半導体記憶装置の全体構成を示すブロック図である。図1を参照して、この半導体記憶装置は、メモリセルアレイ10と、行デコーダ12と、ビット線プリチャージ回路14と、センスアンプおよび書込ドライバ列16と、双方向転送バス群17と、入出力レジスタ列18と、双方向転送バス群19と、入出力バス群20とを備える。

【0041】メモリセルアレイ10は、複数のワード線WL1~WLxと、それらワード線に交差する複数のビット線対BL1、/BL1~BL4m、/BL4mと、それらワード線およびビット線対の交点に対応して設けられた複数のメモリセルSMCとを備える。したがって、メモリセルSMCは行および列からなるマトリクス状に配置されている。

【0042】図2は、このメモリセルSMCの構成を示

14

す回路図である。図2を参照して、このメモリセルSMCは、アクセストランジスタ101および102と、ドライバトランジスタ103および104とを備える。アクセストランジスタ101は、対応するビット線BLとメモリノードM2との間に接続され、対応するワード線WLに接続されたゲート電極を有する。アクセストランジスタ102は、対応するビット線/BLとメモリノードM3との間に接続され、対応するワード線WLと接続されたゲート電極を有する。ドライバトランジスタ103は、メモリノードM2と接地ノード105との間に接続され、メモリノードM3と接続されたゲート電極を有する。ドライバトランジスタ104は、メモリノードM3と接地ノード106との間に接続され、メモリノードM2と接続されたゲート電極を有する。したがって、このメモリセルSMCは、図24のスタティックメモリセルSMCと異なり、高抵抗R1およびR2を有していない。このような無負荷のSRAM系メモリセルSMCは、メモリノードM2およびM3の寄生容量においてデータを保持する。したがって、このメモリセルSMCはスタティックなデータを保持することはできない。

【0043】ここで、このメモリセルSMCの書込動作について説明する。たとえばビット線BLの電位がHレベルで、ビット線/BLの電位がLレベルである場合は、ワード線WLの電位がHレベルになると、アクセストランジスタ101および102はともに導通状態となる。これによりビット線BLの電位がアクセストランジスタ101を介してメモリノードM2へ伝達され、ビット線/BLの電位はアクセストランジスタ102を介してメモリノードM3へ伝達される。したがって、メモリノードM2の寄生容量は充電され、これによりメモリノードM2の電位がHレベルとなる。一方、メモリノードM3の寄生容量は放電され、これによりメモリノードM3の電位はLレベルとなる。このように無負荷のSRAM系メモリセルSMCであっても、1ビットのデータをストアすることができる。また、このメモリセルSMCはSRAM系であるため、図22のメモリセルDMCよりも高速にデータが書込まれる。

【0044】次に、このメモリセルSMCの読出動作について説明する。メモリノードM2にHレベルの電荷が蓄積され、かつメモリノードM3にLレベルの電荷が蓄積されている場合において、ワード線WLの電位がHレベルになると、アクセストランジスタ101および102はともに導通状態となる。これによりメモリノードM2の電位はアクセストランジスタ101を介してビット線BLに伝達され、メモリノードM3の電位はアクセストランジスタ102を介してビット線/BLに伝達される。したがって、ビット線対BL1、/BL1に相補的な1ビットのデータが現われる。このメモリセルSMCはメモリノードM2、M3の寄生容量でデータを保持するため、そのデータは時間の経過とともに消失する。し



(9)

15

たがって、このメモリセルSMCはリフレッシュを行なう必要がある。

【0045】再び図1を参照して、行デコーダ12は内部アドレス信号 $intAdd$ をデコードしてワード線 $WL1 \sim WLx$ のうち1つを選択する。ビット線プリチャージ回路14は、すべてのビット線対 $BL1, /BL1 \sim BL4m, /BL4m$ をプリチャージする。

【0046】センスアンプおよび書込ドライバ列16は、ビット線対 $BL1, /BL1 \sim BL4m, /BL4m$ に対応する4m個のセンスアンプおよび書込ドライバ161~164mから構成される。各センスアンプは、読出動作において対応するビット線対の間に生じた電位差を増幅する。各書込ドライバは、書込動作において対応するビット線対に供給されるべきデータを増幅する。

【0047】入出力レジスタ列18は、センスアンプおよび書込ドライバ161~164mに対応する4m個の入出力レジスタ181~184mから構成される。各レジスタは、読出動作において対応するセンスアンプによって増幅されたデータをストアし、書込動作において対応する書込ドライバによって増幅されるべきデータをストアする。双方向転送バス群17は、4m本の双方向転送バス171~174mから構成される。各双方向転送バスは、対応するセンスアンプおよび書込ドライバと入出力レジスタとの間でデータを相互に転送する。

【0048】入出力バス群20は4つの入出力バス201~204から構成される。各入出力バスはmビットのデータを輸送することができる。双方向転送バス群19は4m本の双方向転送バス191~194mから構成される。各双方向転送バスは、対応する入出力レジスタおよび入出力バスとの間でデータを相互に転送する。双方向転送バス191, 195, ..., 194m-3は、入出力レジスタ181, 185, ..., 194m-3と入出力バス201との間でmビットのデータを同時に転送する。双方向転送バス192, 196, ..., 194m-3は、入出力レジスタ182, 186, ..., 184m-2と入出力バス201との間でmビットのデータを同時に転送する。双方向転送バス193, 197, ..., 194m-1は、入出力レジスタ183, 187, 184m-1と入出力バス203との間でmビットのデータを同時に転送する。双方向転送バス194, 198, ..., 194mは、入出力レジスタ184, 188, ..., 184mと入出力バス204との間でmビットのデータを同時に転送する。

【0049】この半導体記憶装置はさらに、アドレスレジスタ22と、書込制御レジスタ24と、ANDゲート26および28と、マルチプレクサ(MUX)30および40と、バーストカウンタ32と、読出/書込制御回路34とを備える。

【0050】アドレスレジスタ22は、NANDゲート26を介して与えられるアドレスストローブ信号ADS

16

およびクロック信号 $CLOCK$ にตอบสนองして、外部から供給されたnビットの外部アドレス $extAdd$ を内部に取込む。書込制御レジスタ24は、クロック信号 $CLOCK$ にตอบสนองして外部から供給された書込イネーブル信号/ $WE$ を内部に取込む。読出/書込制御回路34は、書込イネーブル信号/ $WE$ にตอบสนองして制御信号 $CNT1$ を生成してビット線プリチャージ回路14、センスアンプおよび書込ドライバ列16ならびに入出力レジスタ18に供給する。バーストカウンタ32は、ANDゲート28を介して供給されたアドバンス信号 $ADV$ およびクロック信号 $CLOCK$ にตอบสนองして、アドレスレジスタ22内のnビットの外部アドレス信号 $extAdd$ のうち2ビットを取込む。バーストカウンタ32はさらに、その2ビットのアドレス信号にตอบสนองして選択信号 $SEL$ を生成し、それをマルチプレクサ40へ供給する。マルチプレクサ40はその選択信号 $SEL$ にตอบสนองして、4つの入出力バス201~204のうち1つを選択し、その選択された入出力バスからデータを出力したり、あるいはその選択された入出力バスへデータを入力したりする。アドレスレジスタ22内の残り(n-2)ビットのアドレス信号はマルチプレクサ30に供給される。

【0051】この半導体記憶装置はさらに、リフレッシュ制御回路36およびリフレッシュカウンタ38を備える。リフレッシュ制御回路36は読出/書込制御回路34からの制御信号 $CNT2$ にตอบสนองしてリフレッシュイネーブル信号 $REFE$ を生成し、それをリフレッシュカウンタ38、マルチプレクサ30および読出/書込制御回路34に供給する。リフレッシュカウンタ38はリフレッシュイネーブル信号 $REFE$ にตอบสนองして(n-2)ビットのリフレッシュアドレス信号 $refAdd$ を順次発生する。リフレッシュアドレス信号 $refAdd$ はマルチプレクサ30に供給される。リフレッシュイネーブル信号 $REFE$ がLレベルのとき、マルチプレクサ30は(n-2)ビットの外部アドレス信号 $extAdd$ を内部アドレス信号 $intAdd$ として行デコーダ12に供給する。リフレッシュイネーブル信号 $REFE$ がHレベルのとき、マルチプレクサ30は(n-2)ビットのリフレッシュアドレス信号 $refAdd$ を内部アドレス信号 $intAdd$ として行デコーダ12に供給する。

【0052】(1) バースト読出動作  
次に、この半導体記憶装置のバースト読出動作を図3のタイミングチャートを参照して説明する。図3(c)のアドレスストローブ信号 $ADS$ がHレベルにある間に図3(a)のクロック信号 $CLOCK$ が立上ると、図3(b)のnビットの外部アドレス信号 $Ai$ がアドレスレジスタ22内に取込まれる。この外部アドレス信号 $Ai$ のうち2ビットはバーストカウンタ32に与えられ、残り(n-2)ビットはマルチプレクサ30を介して図3(e)の内部アドレス信号 $Ai$ として行デコーダ12に与えられる。行デコーダ12はこの内部アドレス信号 $A$

(10)

17

i をデコードし、ワード線WL 1 ~ WL x のうち1つを選択する。内部アドレス信号A i に対応する第i 番目のワード線WL i が選択されると、図3 (f) に示されるようにそのワード線WL i の電位はHレベルとなる。

【0053】ワード線WL i の電位がHレベルになると、そのワード線WL i に接続されたすべてのメモリセルSMC内のアクセストランジスタ101および102が導通状態となる。これにより各メモリセルSMCにおけるメモリノードM-2の電位がアクセストランジスタ101を介して対応するビット線に伝達され、メモリノードM3の電位はアクセストランジスタ102を介して対応するビット線に伝達される。これにより各ビット線対の間に電位差が生じ、この各ビット線対の間に生じた電位差は対応するセンスアンプによって増幅され、これにより各ビット線対の一方の電位がHレベルとなり、他方の電位がLレベルとなる。このように、選択されたワード線に接続されたすべてのメモリセルSMCのデータはそれぞれセンスアンプ161 ~ 164mにラッチされる。

【0054】次いで、センスアンプ161 ~ 164mにラッチされたデータは双方向転送バス171 ~ 174mを介して入出力レジスタ181 ~ 184mにそれぞれ転送される。入出力レジスタ181 ~ 184mにデータが転送されると、図3 (f) に示されるようにワード線WL i の電位はHレベルに立下がる。

【0055】次いで、図3 (d) のアドバンス信号ADVがHレベルにある間に図3 (a) のクロック信号CLOCKが立上ると、バーストカウンタ32内のアドレス信号がインクリメントされる。ここでは、連続した3つのアドバンス信号ADVが与えられるため、バーストカウンタ32は3回インクリメントされる。したがって、バーストカウンタ32からマルチプレクサ40には、4種類の選択信号SELが順次供給される。最初の選択信号SELにตอบสนองしてマルチプレクサ40は入出力バス201を選択する。このため、入出力レジスタ181, 185, ..., 184m-3内のデータはそれぞれ双方向転送バス191, 195, ..., 194m-3を介して入出力バス201へ転送される。入出力バス201へ転送されたmビットのデータQ i はマルチプレクサ40を介して出力される。

【0056】続いて、マルチプレクサ40は次の選択信号SELにตอบสนองして入出力バス201の代わりに入出力バス202を選択する。この入出力バス202には、入出力レジスタ182, 186, ..., 184m-2内のデータが双方向転送バス192, 196, ..., 194m-2を介して転送される。入出力バス202に転送されたmビットのデータQ i + 1はマルチプレクサ40を介して出力される。続いて、マルチプレクサ40はさらに次の選択信号SELにตอบสนองして入出力バス202の代わりに入出力バス203を選択する。この入出力バス203

18

には、入出力レジスタ183, 187, ..., 194m-1内のデータが転送される。入出力バス203に転送されたmビットのデータQ i + 2はマルチプレクサ40を介して出力される。続いて、マルチプレクサ40は最後の選択信号SELにตอบสนองして入出力バス203の代わりに入出力バス204を選択する。この入出力バス204には、入出力レジスタ184, 188, ..., 184mのデータが転送される。入出力バス204に転送されたmビットのデータQ i + 3はマルチプレクサ40を介して出力される。

【0057】一方、アドレスレジスタ22内の外部アドレス信号A i がマルチプレクサ30を介して行デコーダ12に与えられた後、リフレッシュ制御回路36はHレベルのリフレッシュイネーブル信号REFEを生成し、それをリフレッシュカウンタ38およびマルチプレクサ30に与える。リフレッシュカウンタ38はリフレッシュイネーブル信号REFEにตอบสนองして(n-2)ビットのリフレッシュアドレス信号A1を生成し、それをマルチプレクサ30を介して内部アドレス信号intAddとして行デコーダ12に与える。行デコーダ12はこの内部アドレス信号A1をデコードし、ワード線WL 1 ~ WL x のうち1つを選択する。ここでは、図3 (h) に示されるように、内部アドレス信号A1に対応する第1番目のワード線WL 1の電位がHレベルとなる。これにより、その選択されたワード線WL 1に接続されたすべてのメモリセルSMCがすべてリフレッシュされる。このとき先のワード線WL i の電位はLレベルに立下がっているため、そのワード線WL i に接続されたメモリセルSMCのデータが破壊されることはない。このようにメモリセルSMCではドライバストランジスタ103および104がクロスカプルされているため、ワード線の電位が立上がるだけでそのワード線に接続されたすべてのメモリセルSMCがリフレッシュされる。

【0058】次いで、図3 (b) に示されるように外部アドレス信号A j が取込まれると、その外部アドレス信号A j に対応する1つのワード線WL j の電位が図3

(f) に示されるようにHレベルに立上がる。したがって、このワード線WL j に接続されたすべてのメモリセルSMCのデータは入出力レジスタ181 ~ 184mにラッチされる。次いで図3 (g) に示されるように、これら4mビットのデータのうち最初のmビットのデータQ j が入出力バス201およびマルチプレクサ40を介して出力される。次いで、これら4mビットのデータのうち次のmビットのデータQ j + 1が入出力バス202およびマルチプレクサ40を介して出力される。次いで、これら4mビットのデータのうちその次のmビットのデータQ j + 2が入出力バス203およびマルチプレクサ40を介して出力される。次いで、これら4mビットのデータのうち残りmビットのデータQ j + 3が入出力バス204およびマルチプレクサ40を介して出力さ

(11)

19

れる。

【0059】図3(e)に示されるように、アドレスレジスタ22から行デコーダ12へ内部アドレス信号A<sub>j</sub>が行デコーダ12へ与えられた後、リフレッシュカウンタ38から行デコーダ12へリフレッシュアドレス信号A<sub>2</sub>が与えられる。したがって、このリフレッシュアドレスA<sub>2</sub>に対応する1つのワード線WL<sub>2</sub>の電位が図3(h)に示されるようにHレベルに立上がる。そのため、このワード線WL<sub>2</sub>に接続されたすべてのメモリセルSMCはリフレッシュされる。

【0060】このように、バースト動作によって1つのワード線に接続されたメモリセルSMCからデータが連続的に読出されている間に1つのワード線に接続されたすべてのメモリセルSMCがリフレッシュされるため、1つのバースト動作ともう1つのバースト動作との間にリフレッシュ動作を行なう必要はなく、バースト動作を連続的に行なうことが可能となる。

【0061】(2) バースト書込動作

次に、この半導体記憶装置のバースト書込動作について図4のタイミングチャートを参照して説明する。図4

(h)に示されるように、最初に外部から供給されたmビットのデータQ<sub>i</sub>はマルチプレクサ40、入出力バス201および双方向転送バス191、195、…、194m-3を介して入出力レジスタ181、185、…、184m-3にそれぞれ格納される。次に外部から供給されたmビットのデータQ<sub>i+1</sub>は、マルチプレクサ40、入出力バス202および双方向転送バス192、196、…、194m-2を介して入出力レジスタ182、186、…、184m-2にそれぞれ格納される。さらにその次に外部から供給されたmビットのデータQ<sub>i+2</sub>は、マルチプレクサ40、入出力バス203および双方向転送バス193、197、…、194m-1を介して入出力レジスタ183、187、…、184m-1にそれぞれ格納される。最後に外部から供給されたmビットのデータQ<sub>i+3</sub>は、マルチプレクサ40、入出力バス204および双方向転送バス194、198、…、194mを介して入出力レジスタ184、188、…、184mにそれぞれ格納される。なお、これらのデータQ<sub>i</sub>~Q<sub>i+3</sub>は、図4(d)に示されるようにLレベルの書込イネーブル信号/WEに応答して格納される。

【0062】一方、図4(b)の外部アドレス信号A<sub>i</sub>に応答して図4(j)に示されるように1つのワード線WL<sub>i</sub>の電位がHレベルとなる。これにより、入出力レジスタ181~184mに格納された4mビットのデータは書込ドライバ161~164mによってそれぞれ増幅され、さらにそのワード線WL<sub>i</sub>に接続されたすべてのメモリセルSMCに書込まれる。

【0063】また、このように外部からのデータQ<sub>i</sub>~Q<sub>i+3</sub>が入出力レジスタ181~184mに格納され

20

ている間に、図4(f)に示されるようにリフレッシュカウンタ38から行デコーダ12へリフレッシュアドレス信号A<sub>1</sub>が与えられ、これにより図4(i)に示されるように1つのワード線WL<sub>1</sub>の電位がHレベルに立上がる。そのため、このワード線WL<sub>1</sub>に接続されたすべてのメモリセルSMCはリフレッシュされる。

【0064】次いで、データQ<sub>j</sub>~Q<sub>j+3</sub>が外部から入出力レジスタ181~184mに格納されている間には、リフレッシュカウンタ38から行デコーダ12へはリフレッシュアドレス信号A<sub>2</sub>が与えられ、そのリフレッシュアドレス信号A<sub>2</sub>に対応するワード線WL<sub>2</sub>の電位がHレベルとなり、それによりそのワード線WL<sub>2</sub>に接続されたすべてのメモリセルSMCがリフレッシュされる。

【0065】このように4mビットのデータが入出力レジスタ列18に連続的に格納されている間に1つのワード線に接続されたすべてのメモリセルがリフレッシュされるので、あるバースト書込動作とその次のバースト書込動作との間にリフレッシュを行なう必要はない。したがって、バースト書込動作を連続的に行なうことが可能となる。

【0066】この実施例1によれば、バースト読出/書込動作中にメモリセルのリフレッシュを行なうことができるので、連続したバースト動作が可能となる。ここで、読出/書込データは一時的に入出力レジスタに格納されるため、バースト動作中にリフレッシュを行なうことによってデータが破壊されることはない。しかも、ワード線WL<sub>1</sub>から順にすべてのワード線WL<sub>1</sub>~WL<sub>x</sub>がリフレッシュのために選択されるので、すべてのメモリセルSMCが均一にリフレッシュされる。また、メモリセルSMCは高抵抗を有していないため、高抵抗負荷型スタティックメモリセルに比べてレイアウト面積が小さくなる。そのため、この半導体記憶装置の記憶容量を大きくすることが可能である。また、このメモリセルSMCにおいてはドライバトランジスタ103および104がクロスカップルされているため、そのアクセス速度はダイナミックメモリセルよりも速く、しかもワード線の電位が立上がるだけで、このメモリセルSMCはリフレッシュされる。したがって、リフレッシュ時にセンスアンプを動作させる必要がなく、全体として高速な動作が可能となる。さらにこのメモリセルSMCは負荷素子を有していないため、約20~30%の製造工程が削減され得る。これにより歩留りが向上し、大幅なコストダウンが期待できる。したがって、この半導体記憶装置はSRAMと同等の性能を有するにもかかわらず、SRAMよりも大きい記憶容量を実現することができる。

【0067】〔実施例2〕図5は、この発明の実施例2による半導体記憶装置の全体構成を示すブロック図である。図5を参照して、この半導体記憶装置におけるメモリセルDMCは図1と異なり1つのアクセストランジス

(12)

21

タおよび1つのセルキャパシタを備える。したがって、このメモリセルDMCは図22に示されたものと同じである。

#### 【0068】(1) バースト読出動作

次に、この半導体記憶装置のバースト読出動作について図6のタイミングチャートを参照して説明する。この実施例2においては、メモリセルDMCからデータが読出される前に、ビット線プリチャージ回路14によってすべてのビット線対 $BL_1, \dots, BL_1 \sim BL_4m, \dots, BL_4m$ が中間電位 $V_{cc}/2$  ( $V_{cc}$ は電源電位)にプリチャージされる。次いで、供給された外部アドレス信号 $A_i$ にตอบสนองして1つのワード線 $WL_i$ が選択される。これにより選択されたワード線 $WL_i$ に接続されたすべてのメモリセルDMCからデータが読出される。このメモリセルDMCにおいては、セルキャパシタに電荷を蓄積することによってデータを記憶している。したがって、メモリセルDMCのアクセストランジスタが導通状態となると、ビット線とセルキャパシタとの間で電荷の再配置が行なわれる。たとえばセルキャパシタが十分に充電されている場合は、アクセストランジスタが導通状態となると、セルキャパシタの電荷が対応するビット線に流出し、そのビット線の電位が中間電位から僅かに上昇する。セルキャパシタが完全に放電されている場合にアクセストランジスタが導通状態となると、対応するビット線の電荷がセルキャパシタに流入し、そのビット線の電位は中間電位 $V_{cc}/2$ から僅かに低下する。このようにワード線が選択されると、すべてのビット線対 $BL_1, \dots, BL_1 \sim BL_4m, \dots, BL_4m$ の間に電位差が生じる。各ビット線対間に生じた電位差は対応するセンスアンプによって増幅される。したがって、この実施例2においては、図6(g)および(h)に示されるように、ワード線 $WL_i$ の電位が立上ってから最初のmビットのデータ $Q_i$ が出力されるまでの時間が、上記実施例1のそれよりも長くなる。上述したところが実施例1のバースト読出動作と異なるところで、それ以外は実施例1と同様であるので、その詳細な説明は省略する。

#### 【0069】(2) バースト書込動作

図7は、この半導体記憶装置のバースト書込動作を示すタイミングチャートである。このバースト書込動作は、上記実施例1のそれとほぼ同様であるので、その詳細な説明は省略する。

【0070】この実施例2によれば、上記実施例1と同様にバースト読出/書込動作中にリフレッシュを行なうことができるので、バースト動作を連続的に行なうことができる。また、ダイナミックメモリセルが使用されているため、上記実施例1よりもアクセス速度が遅くなり、しかもリフレッシュ時にはセンスアンプを動作させる必要があるため消費電流が増加するが、このダイナミックメモリセルDMCの占有面積はスタティックメモリセルSMCのその4分の1となる。そのため、大きな

22

記憶容量を持つ半導体記憶装置を実現しやすく、その製造コストも上記実施例1の約4分の1となる。

【0071】[実施例3] 図8は、この発明の実施例3による半導体記憶装置の全体構成を示すブロック図である。この実施例3は上記実施例1を2つのブロック $B_1, B_2$ に分割したものである。各ブロックは、メモリセルアレイ10、行デコーダ12、ビット線プリチャージ回路14、センスアンプおよび書込ドライバ列16、双方向転送バス群17、入出力レジスタ列18および双方向転送バス群19を備える。各ブロックは、上記実施例1と同様に動作する。

【0072】この実施例3によれば、ワード線が分割され、その長さが上記実施例1の半分になっている。そのため、1つのワード線が持つ負荷が小さくなり、上記実施例1よりもワード線の電位を速く立上げることができる。なお、ビット線を複数に分割してもこれと同様の効果が得られる。

【0073】[実施例4] 図9は、この発明の実施例4による半導体記憶装置の全体構成を示すブロック図である。図9を参照して、この半導体記憶装置は、DRAM系のメモリセルアレイ41と、SRAM系のメモリセルアレイ10とを備える。メモリセルアレイ41には、3mのビット線対 $DBL_1, \dots, DBL_1 \sim DBL_3m, \dots, DBL_3m$ が配置されている。メモリセルアレイ10には、mのビット線対 $SBL_1, \dots, SBL_1 \sim SBL_m, \dots, SBL_m$ が配置されている。

【0074】メモリセルアレイ10に対応してSRAM系のセンスアンプおよび書込ドライバ列42が配置され、メモリセルアレイ41に対応してDRAM系のセンスアンプおよび書込ドライバ列44が配置されている。また、センスアンプおよび書込ドライバ列42に対応してSRAM系の入出力レジスタ47が配置され、センスアンプおよび書込ドライバ列44に対応してDRAM系の入出力レジスタ48が配置されている。センスアンプおよび書込ドライバ列42は、m個のセンスアンプおよび書込ドライバ421～42mから構成される。センスアンプおよび書込ドライバ44は、3m個のセンスアンプおよび書込ドライバ441～443mから構成される。入出力レジスタ47は、センスアンプおよび書込ドライバ421～42mに対応するm個の入出力レジスタ471～47mから構成される。入出力レジスタ列48は、センスアンプおよび書込ドライバ441～443mに対応する3m個の入出力レジスタ481～483mから構成される。

【0075】センスアンプおよび書込ドライバ列42および入出力レジスタ47の間には、m本の双方向転送バス451～45mからなる双方向転送バス群45が配置されている。センスアンプおよび書込ドライバ列44および入出力レジスタ列48の間には、3m本の双方向転送バス461～463mからなる双方向転送バス群46

(13)

23

が配置されている。

#### 【0076】(1) バースト読出動作

図10は、この半導体記憶装置のバースト読出動作を示すタイミングチャートである。図10のタイミングチャートを参照して、外部アドレス信号A<sub>i</sub>にตอบสนองして1つのワード線WL<sub>i</sub>が選択されると、その選択されたワード線WL<sub>i</sub>に接続されたすべてのメモリセルSMCおよびDMCからデータがすべてのビット線対SBL1、/SBL1~SBL<sub>m</sub>、/SBL<sub>m</sub>およびDBL1、/DBL1~DBL3<sub>m</sub>、/DBL3<sub>m</sub>に読出される。メモリセルSMCはメモリセルDMCよりも高速に動作するため、図10(g)および(h)に示されるように、SRAM系のセンスアンプ421~42<sub>m</sub>の出力は、DRAM系のセンスアンプ441~463<sub>m</sub>の出力よりも速く決定される。

【0077】したがって、センスアンプおよび書込ドライバ列42にはセンスアンプおよび書込ドライバ列44よりも速くmビットのデータQ<sub>i</sub>がラッチされる。このmビットのデータQ<sub>i</sub>は双方向転送バス群45を介して入出力レジスタ47に転送されて出力される。このようにSRAM系のメモリセルアレイ10からmビットのデータが出力されている間に、DRAM系のメモリセルアレイ41からの3mビットのデータがセンスアンプおよび書込ドライバ列44にラッチされる。3mビットのデータは、双方向転送バス群46を介して入出力レジスタ列48に転送される。入出力レジスタ列48に格納された3mビットのデータのうちmビットのデータQ<sub>i</sub>+1がデータQ<sub>i</sub>に続いて出力される。次いで、入出力レジスタ列48に格納された3mビットのデータのうち他のmビットのデータQ<sub>i</sub>+2が出力される。そして、入出力レジスタ列48に格納された3mビットのデータのうち残りmビットのデータQ<sub>i</sub>+3が出力される。

【0078】4mビットのデータQ<sub>i</sub>~Q<sub>i</sub>+3がバースト出力されている間に、図10(j)に示されるように1つのワード線の電位がHレベルとなり、そのワード線に接続されたメモリセルSMCおよびDMCがリフレッシュされるのは、上述した実施例と同様である。

#### 【0079】(2) バースト書込動作

図11は、この半導体記憶装置のバースト書込動作を示すタイミングチャートである。図11に示されるように、最初に入力されるmビットのデータQ<sub>i</sub>は対応するSRAM系のm個のメモリセルSMCに格納され、それに続く3mビットのデータQ<sub>i</sub>+1~Q<sub>i</sub>+3は対応するDRAM系のメモリセルDMCに格納される。4mビットのデータQ<sub>i</sub>~Q<sub>i</sub>+3が入出力レジスタ列47および48に格納される間に、図11(i)に示されるように1つのワード線WL1の電位がHレベルとなり、そのワード線WL1に接続されたすべてのメモリセルSMCおよびDMCがリフレッシュされる点は、上述した実施例と同様である。

24

【0080】この実施例4によれば、バースト読出/書込動作中にリフレッシュを行なうことができるため、バースト動作を連続的に行なうことができる。しかも、メモリセルのほとんどが1つのアクセストランジスタおよび1つのセルキャパシタから構成されるため、記憶容量の大きい半導体記憶装置を容易に実現することができる。また、最初にアクセス速度の速いSRAM系のメモリセルSMCからデータが読出されるため、ワード線の電位が立上げられた後直ちに正確なデータを読出すことができる。

【0081】[実施例5] 図12は、この発明の実施例5による半導体記憶装置の全体構成を示すブロック図である。図12を参照して、この半導体記憶装置は2つのブロックB1、B2を備え、さらにそれらブロックを選択するためのブロックデコーダ50を備える。各ブロックは、メモリセルアレイ10と、行デコーダ12と、ビット線プリチャージ回路14と、センスアンプおよび書込ドライバ列16と、読出バッファ54と、書込バッファ55と、マルチプレクサ(MUX)52とを備える。

【0082】バーストカウンタ32の出力はブロックデコーダ50およびマルチプレクサ52に与えられる。ブロックデコーダ50はバーストカウンタ32の出力にตอบสนองして、ブロックB1を活性化するためのブロック信号BLK1か、あるいはブロックB2を活性化するためのブロック信号BLK2を生成する。ブロック信号BLK1またはBLK2は、マルチプレクサ52、読出バッファ54および書込バッファ55に与えられる。リフレッシュカウンタ38からのリフレッシュアドレス信号refAddはブロックB1およびB2のマルチプレクサ52にそれぞれ与えられる。マルチプレクサ52はブロック信号BLK1またはBLK2にตอบสนองして、アドレスレジスタ22およびバーストカウンタ32からのアドレス信号か、リフレッシュカウンタ38からのリフレッシュアドレス信号refAddかを選択し、その選択されたアドレス信号を行デコーダ12へ与える。読出バッファ54および書込バッファ55は、ブロック信号BLK1またはBLK2にตอบสนองして活性化される。したがって、ブロックB1およびB2における読出バッファ54および書込バッファ55はマルチプレクサを構成する。

#### 【0083】(1) バースト読出動作①

図13は、この半導体記憶装置のバースト読出動作の一例を示すタイミングチャートである。図13に示されるように、アドレスストローブ信号ADSがHレベルの間にクロック信号CLOCKが立上がると、外部アドレス信号A<sub>i</sub>がアドレスレジスタ22に取込まれる。この外部アドレス信号A<sub>i</sub>のうち2ビットはバーストカウンタ32に格納される。バーストカウンタ32は、アドバンス信号ADVがHレベルの間にクロック信号CLOCKが立上がると、インクリメントされる。バーストカウンタ32内の値はブロックデコーダ50に与えられる。し

(14)

25

たがって、ブロックデコード50はブロック信号BLK1およびBLK2を交互にHレベルにする。すなわち、ブロックデコード50はブロックB1およびB2を交互に選択する。ブロック信号BLK1がHレベルのとき、ブロックB1におけるマルチプレクサ52はアドレスレジスタ22およびバーストカウンタ32からのアドレス信号を行デコード12へ供給する。したがって、ブロックB1においては、行デコード12がその外部アドレス信号Aiに対応する1つのワード線WL-iを選択する。ワード線WL-iが選択されると、その選択されたワード線WL-iに接続されたすべてのメモリセルSMCからビット線対BL1、/BL1~BLm、/BLmにデータが読出され、さらにセンスアンプ列16および読出バッファ54を介してmビットのデータQiが出力される。

【0084】一方、ブロック信号BLK1がHレベルのとき、ブロックBLK2はLレベルであるので、ブロックB2におけるマルチプレクサ52はリフレッシュカウンタ38からのリフレッシュアドレスB1を行デコード12へ供給する。したがって、ブロックB2においては、行デコード12はそのリフレッシュアドレス信号B1に対応するワード線を選択する。これによりその選択されたワード線に接続されたすべてのメモリセルがリフレッシュされる。

【0085】次いで、アドバンス信号ADVがHレベルの間にクロック信号CLOCKが立上がると、バーストカウンタ32はインクリメントされる。したがって、ブロック信号BLK2がHレベルになると、アドレスレジスタ22およびバーストカウンタ32からの内部アドレス信号Ai+1がブロックB2におけるマルチプレクサ52を介して行デコード12へ供給される。したがって、行デコード12はその内部アドレス信号Ai+1に対応するワード線WL-i+1を選択する。選択されたワード線WL-i+1の電位は、図13(g)に示すようにHレベルとなり、これによりその選択されたワード線WL-i+1に接続されたすべてのメモリセルSMCからmビットのデータQi+1が出力される。

【0086】一方、ブロック信号BLK2がHレベルのとき、ブロック信号BLK1はLレベルとなるため、リフレッシュカウンタ38からのリフレッシュアドレス信号A1はブロックB1におけるマルチプレクサ52を介して行デコード12へ供給される。したがって、行デコード12はそのリフレッシュアドレス信号A1に対応するワード線を選択し、これによりその選択されたワード線に接続されたすべてのメモリセルSMCがリフレッシュされる。

【0087】以下同様にして、ブロックB1からmビットのデータQi+2が出力される間にブロックB2におけるメモリセルがリフレッシュされ、さらにブロックB2からmビットのデータQi+3が出力される間にブロックB1内のメモリセルがリフレッシュされる。

26

【0088】このように1つの外部アドレス信号Aiに  
10 応答して、mビットのデータがブロックB1およびB2から交互に読出される。このような一連のバースト動作中において、ブロックB1からデータが読出されている間にブロックB2内のメモリセルがリフレッシュされ、逆にブロックB2からデータが読出されている間にブロックB1内のメモリセルがリフレッシュされる。

【0089】(2) バースト書込動作①

図1-4は、この半導体記憶装置のバースト書込動作の一例を示すタイミングチャートである。図14に示されるように、最初に供給されたmビットのデータQiは、内部アドレス信号Aiに対応するワード線に接続されたメモリセルSMCに書込まれる。一方、ブロックB1への書込中に、ブロックB2においてはリフレッシュアドレス信号B1に対応するワード線に接続されたメモリセルSMCがリフレッシュされる。

【0090】続いて供給されたmビットのデータQi+1は、ブロックB2内の内部アドレス信号Ai+1に対応するワード線に接続されたメモリセルSMCに書込まれる。一方、この書込中に、ブロックB1においては、リフレッシュアドレス信号A1に対応するワード線に接続されたメモリセルSMCがリフレッシュされる。

【0091】以下同様にして、続いて供給されたmビットのデータQi+2はブロックB1内のメモリセルに書込まれ、その間にブロックB2内のメモリセルがリフレッシュされる。さらに続いて供給されたmビットのデータQi+3はブロックB2内のメモリセルに書込まれ、その間にブロックB1内のメモリセルがリフレッシュされる。

【0092】このように1つの外部アドレス信号Aiに  
30 応答して、mビットずつ4回にわたって連続的に供給されたデータQi~Qi+3は、ブロックB1およびB2に交互に書込まれる。そして、ブロックB1内のメモリセルSMCにデータが書込まれている間にブロックB2内のメモリセルがリフレッシュされ、逆にブロックB2内のメモリセルSMCにデータが書込まれている間にブロックB1内のメモリセルSMCがリフレッシュされる。すなわち、ブロックB1およびB2にわたって一連のバースト動作が行なわれている最中にリフレッシュ動作が行なわれている。

【0093】(3) バースト読出動作②

図1-5は、この半導体記憶装置のバースト読出動作の他の例を示すタイミングチャートである。図15に示されるように、このバースト読出動作においては、ブロックB1内のメモリセルSMCからデータQiおよびQi+1が連続的に読出され、次いでブロックB2内のメモリセルSMCからデータQi+2およびQi+3が連続的に読出される。一方、ブロックB1内のメモリセルSMCからデータQiおよびQi+1が連続的に読出されている間に、ブロックB2内のメモリセルSMCが連続的  
50

(15)

27

にリフレッシュされる。また、ブロックB2内のメモリセルSMCからデータ $Q_i + 2$ および $Q_i + 3$ が連続的に読出されている間に、ブロックB1内のメモリセルが連続的にリフレッシュされる。

【0094】このようにブロックB1およびB2にわたって2回ずつ交互にデータが読出される場合において、データが読出されていないブロック内のメモリセルがリフレッシュされてもよい。

【0095】(4) バースト書込動作②

図16は、この半導体記憶装置のバースト書込動作の他の例を示すタイミングチャートである。図16に示されるように、このバースト書込動作においては、データ $Q_i$ および $Q_i + 1$ がブロックB1内のメモリセルSMCに連続的に書込まれ、データ $Q_i + 2$ および $Q_i + 3$ がブロックB2内のメモリセルSMCに連続的に書込まれる。一方、ブロックB1内のメモリセルSMCにデータ $Q_i$ および $Q_i + 1$ が連続的に書込まれている間に、ブロックB2内のメモリセルSMCが連続的にリフレッシュされる。また、ブロックB2内のメモリセルSMCにデータ $Q_i + 2$ および $Q_i + 3$ が連続的に書込まれている間に、ブロックB1内のメモリセルSMCがリフレッシュされる。

【0096】このようにブロックB1およびB2に連続的にデータが書込まれる場合において、データが書込まれていないブロック内のメモリセルがリフレッシュされてもよい。

【0097】【実施例6】上述した実施例では1回のバースト動作中に1回のリフレッシュ動作が行なわれているが、1回のバースト動作の時間が長い場合は1回のバースト動作中に2回以上のリフレッシュ動作が行なわれてもよい。図17は、1回のバースト読出動作中に3回のリフレッシュ動作が行なわれる場合を示すタイミングチャートである。

【0098】図17に示されるように、外部アドレス信号 $A_i$ にตอบสนองして1つのワード線 $WL_i$ が選択されると、その選択されたワード線 $WL_i$ に接続されたすべてのメモリセルからデータが読出される。この場合においては1つのアドレスストロブ信号 $ADS$ に対して7つのアドバンス信号 $ADV$ が与えられるので、それぞれ $m$ ビットのデータ $Q_i \sim Q_i + 7$ が8回にわたって連続的に出力される。したがって図17(f)に示されるようにワード線の非選択期間が長くなるため、この間に3つのワード線が連続的に選択され、これにより、それら選択された3つのワード線に接続されたすべてのメモリセルがリフレッシュされる。

【0099】【実施例7】図18は、この発明の実施例7による半導体記憶装置の全体構成を示すブロック図である。図18を参照して、この半導体記憶装置における各ブロックは、図12の実施例5と異なり、列デコーダ60と、マルチプレクサ62と、センスアンプおよび書

28

込ドライバ161とを備える。この実施例7においては、バーストカウンタ32からの内部アドレス信号はマルチプレクサ52および行デコーダ12を介して列デコーダ60に供給される。マルチプレクサ62は、列デコーダ60からのデコード信号にตอบสนองしてビット線対 $BL_1, /BL_1 \sim BL_m, /BL_m$ のうち1つを選択し、このマルチプレクサ62に対応して設けられた1つのセンスアンプおよび書込ドライバ161にその選択された1つのビット線対を接続する。

【0100】したがって、バースト読出動作においては、ビット線対 $BL_1, /BL_1 \sim BL_m, /BL_m$ に読出された $m$ ビットのデータのうち1つがマルチプレクサ62によってセンスアンプ161に供給される。その供給されたデータはセンスアンプ161によって増幅され、さらに読出バッファ54を介して出力される。これと同様に、残り $(m-1)$ ビットのデータも1ビットずつセンスアンプ161に供給され、さらに読出バッファ54を介して出力される。

【0101】一方、バースト書込動作においては、 $m$ ビットのデータが書込バッファ55を介して書込ドライバ161に順次供給される。その供給されたデータは書込ドライバ161によって増幅され、さらにマルチプレクサ62によってビット線対 $BL_1, /BL_1 \sim BL_m, /BL_m$ へ順次供給される。

【0102】この実施例7においても、ブロックB1において読出動作が行なわれている最中にブロックB2においてリフレッシュ動作が行なわれ、逆にブロックB2において読出動作が行なわれている最中にブロックB1においてリフレッシュ動作が行なわれる。また、ブロックB1において書込動作が行なわれている最中にブロックB2においてリフレッシュ動作が行なわれ、逆にブロックB2において書込動作が行なわれている最中にブロックB1においてリフレッシュ動作が行なわれる。

【0103】この実施例7によれば、列デコーダ60およびマルチプレクサ62によってビット線対 $BL_1, /BL_1 \sim BL_m, /BL_m$ のうち1つが選択されるため、センスアンプおよび書込ドライバ161は1つだけ設けられればよい。

【0104】【実施例8】図19は、この発明の実施例8による半導体記憶装置の全体構成を示すブロック図である。図19を参照して、この半導体記憶装置は、 $q$ 個のブロック $B_1 \sim B_q$ と、ブロック選択デコーダ64とを備える。各ブロックは、メモリセルアレイ10と、行デコーダ12と、ビット線プリチャージ回路14と、センスアンプおよび書込ドライバ列16と、入出力レジスタ列18と、マルチプレクサ52と、ORゲート66とを備える。マルチプレクサ52は、リフレッシュイネーブル信号 $REFE$ がLレベルのとき、アドレスレジスタ22からの $(n-2-p)$ ビットの内部アドレス信号を行デコーダ12に供給し、リフレッシュイネーブル信号



(16)

29

REFEがHレベルのとき、リフレッシュカウンタ38からの $(n-2-p)$ ビットのリフレッシュアドレス信号refAddを行デコーダ12に供給する。ブロック選択デコーダ64は、アドレスレジスタ22からのpビットの内部アドレス信号に応答してブロック選択信号BS1~BSqのうち1つをHレベルとする。ORゲート66は1つのブロック選択信号およびリフレッシュイネーブル信号REFEを受け、そのOR出力を行デコーダ、センスアンプおよび書込ドライバ列1-6および入出力レジスタ列18に供給する。したがって、各ブロックは、対応するブロック選択信号またはリフレッシュイネーブル信号REFEのいずれかがHレベルのとき、活性化される。

#### 【0105】(1) バースト読出動作

図20は、この半導体記憶装置のバースト読出動作を示すタイミングチャートである。たとえばブロック選択信号BS1~BSqのうちブロック選択信号BS1だけがHレベルになると、ブロックB1だけが活性化される。したがって、アドレスレジスタ22内の外部アドレス信号Aiのうち $(n-2-p)$ ビットの内部アドレス信号がブロックB1におけるマルチプレクサ52を介して行デコーダ12に供給される。行デコーダ12はその供給された内部アドレス信号に応答して1つのワード線を選択する。その選択されたワード線の電位は、図20

(h)に示されるようにHレベルとなる。これによりその選択されたワード線に接続されたすべてのメモリセルからデータが読出され、さらにセンスアンプ列16および双方向転送バス17を介して入出力レジスタ列18にラッチされる。入出力レジスタ列18にラッチされた4mビットのデータは、バーストカウンタ32にตอบสนองして、mビットずつ出力される。すなわち、図20(j)に示されるように、最初にmビットのデータQiが出力され、続いてデータQi+1が出力され、さらに続いてデータQi+2が出力され、最後にデータQi+3が出力される。

【0106】一方、このようにデータがバースト出力されている間に、図20(f)に示されるようにリフレッシュイネーブル信号REFEがHレベルになると、そのリフレッシュイネーブル信号REFEはすべてのブロックB1~BqにおけるORゲート66を介して行デコーダ12などへ供給される。したがって、非選択のブロックB2~Bqも活性化される。また、リフレッシュイネーブル信号REFEがHレベルになると、リフレッシュカウンタ38からのリフレッシュアドレス信号A1がすべてのブロックB1~Bqにおけるマルチプレクサ52を介して行デコーダ12へ供給される。したがって、選択されたブロックB1だけでなく、非選択のブロックB2~Bqにおいても、図20(i)および(l)に示されるように、そのリフレッシュアドレス信号A1に対応する1つのワード線の電位がHレベルとなる。これによ

30

りその選択されたワード線に接続されたすべてのメモリセルがリフレッシュされる。なお、リフレッシュアドレス信号refAddはリフレッシュイネーブル信号REFEの立下がりに応答してインクリメントされる。

#### 【0107】(2) バースト書込動作

図21は、この半導体記憶装置のバースト書込動作を示すタイミングチャートである。バースト書込動作においては、図21(j)に示されるようにそれぞれmビットのデータQi~Qi+3が選択ブロック(たとえばB1)における入出力レジスタ列18にラッチされる。次いで、選択ブロックB1における1つのワード線の電位が図21(h)に示されるようにHレベルになると、その4mビットのデータQi~Qi+3がそのワード線に接続されたすべてのメモリセルに書込まれる。

【0108】一方、このようにデータQi~Qi+3がバースト入力されている間に、図21(f)に示されるようにリフレッシュイネーブル信号REFEがHレベルになると、選択ブロックだけでなく非選択ブロックも活性化される。したがって、すべてのブロックB1~Bqにおいて、行デコーダ12は供給されたリフレッシュアドレス信号A1にตอบสนองして1つのワード線を選択する。これにより図21(i)および(l)に示されるようにそのワード線の電位はHレベルとなり、そのワード線に接続されたすべてのメモリセルがリフレッシュされる。

【0109】このように、選択ブロックにおいてバースト動作中にリフレッシュを行なうとともに、非選択ブロックにおいてもリフレッシュを行なうようにしてもよい。

【0110】以上、この発明の実施例を詳述したが、この発明の範囲は上述した実施例によって限定されるものではなく、この発明はその主旨を逸脱しない範囲内で当業者の知識に基づき種々の改良、修正、変形などを加えた態様で実施し得るものである。

#### 【0111】

【発明の効果】以上のようにこの発明によれば、バースト動作中にリフレッシュが行なわれるため、連続してバースト動作を行なうことが可能である。また、リフレッシュが必要なダイナミックメモリセルが採用されているにもかかわらず、バースト動作中にリフレッシュが行なわれるため、SRAMと同様に取扱うことができる。さらに、ダイナミックメモリセルが採用されているため、記憶容量の大きい半導体記憶装置を容易に実現することができる。

#### 【図面の簡単な説明】

【図1】 この発明の実施例1による半導体記憶装置の全体構成を示すブロック図である。

【図2】 図1に示された半導体記憶装置における1つのメモリセルの構成を示す回路図である。

【図3】 図1に示された半導体記憶装置のバースト読出動作を示すタイミングチャートである。



(17)

31

【図4】 図1に示された半導体記憶装置のバースト書き込動作を示すタイミングチャートである。

【図5】 この発明の実施例2による半導体記憶装置の全体構成を示すブロック図である。

【図6】 図5に示された半導体記憶装置のバースト読出動作を示すタイミングチャートである。

【図7】 図5に示された半導体記憶装置のバースト書き込動作を示すタイミングチャートである。

【図8】 この発明の実施例3による半導体記憶装置の全体構成を示すブロック図である。

【図9】 この発明の実施例4による半導体記憶装置の全体構成を示すブロック図である。

【図10】 図9に示された半導体記憶装置のバースト読出動作を示すタイミングチャートである。

【図11】 図9に示された半導体記憶装置のバースト書き込動作を示すタイミングチャートである。

【図12】 この発明の実施例5による半導体記憶装置の全体構成を示すブロック図である。

【図13】 図12に示された半導体記憶装置のバースト読出動作の一例を示すタイミングチャートである。

【図14】 図12に示された半導体記憶装置のバースト書き込動作の一例を示すタイミングチャートである。

【図15】 図12に示された半導体記憶装置のバースト読出動作の他の例を示すタイミングチャートである。

【図16】 図12に示された半導体記憶装置のバースト書き込動作の他の例を示すタイミングチャートである。

【図17】 この発明の実施例6による半導体記憶装置のバースト読出動作を示すタイミングチャートである。

【図18】 この発明の実施例7による半導体記憶装置の全体構成を示すブロック図である。

【図19】 この発明の実施例8による半導体記憶装置の全体構成を示すブロック図である。

【図20】 図19に示された半導体記憶装置のバース

32

ト読出動作を示すタイミングチャートである。

【図21】 図19に示された半導体記憶装置のバースト書き込動作を示すタイミングチャートである。

【図22】 DRAMのメモリセルの構成を示す回路図である。

【図23】 図22に示されたメモリセルの構成を示す図であり、(a)は平面図、(b)は(a)中のB-B線に沿った断面図である。

【図24】 SRAMのメモリセルの構成を示す回路図である。

【図25】 図24に示されたメモリセルの構成を示す平面図である。

【図26】 バースト動作が可能な従来のSRAMの一例を示すブロック図である。

【図27】 図26に示されたSRAMのバースト読出動作を示すタイミングチャートである。

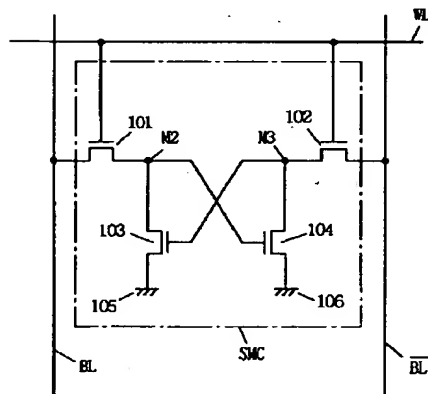
【図28】 図26に示されたSRAMのバースト書き込動作を示すタイミングチャートである。

【図29】 バースト読出動作が可能な従来のSRAMの他の例を示すブロック図である。

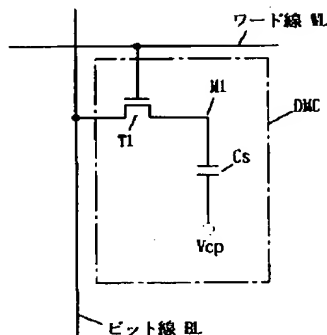
【符号の説明】

10, 41 メモリセルアレイ、12 行デコーダ、16, 42, 44 センスアンプおよび書込ドライバ列、18, 47, 48 入力レジスタ列、32 バーストカウンタ、36 リフレッシュ制御回路、38 リフレッシュカウンタ、50 ブロックデコーダ、60 列デコーダ、WL1~WLx ワード線、BL1, /BL1~BL4m, /BL4m, SBL1, /SBL1~SBLm, /SBLm, DBL1, /DBL1~DBL3m, /DBL3m ビット線対、SMC, DMC メモリセル、extAdd 外部アドレス信号、refAdd リフレッシュアドレス信号。

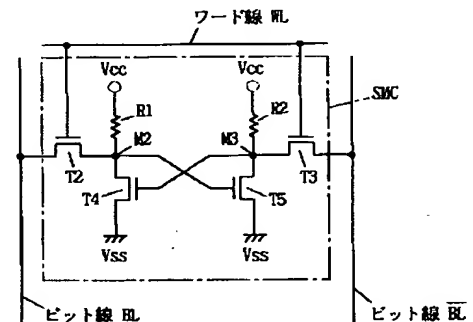
【図2】



【図22】

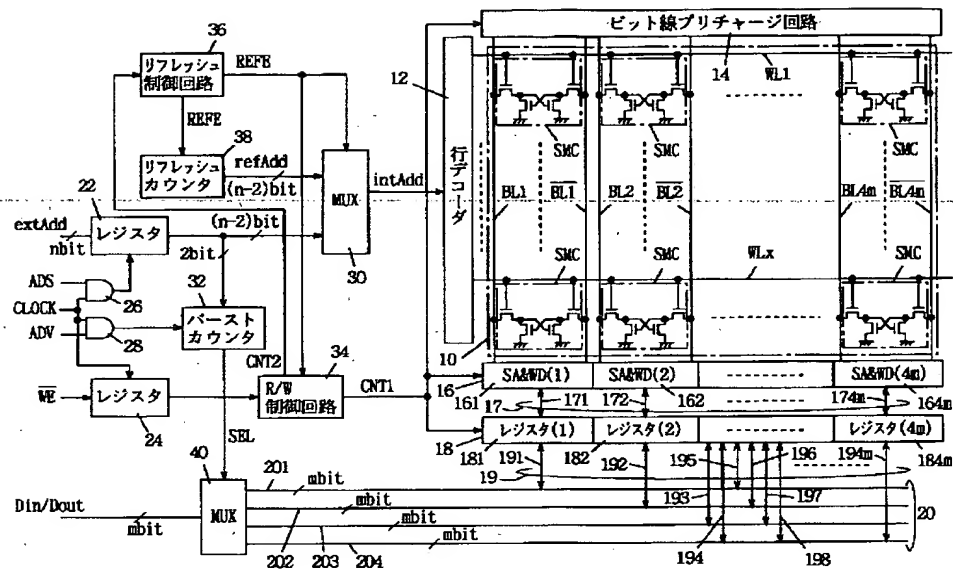


【図24】

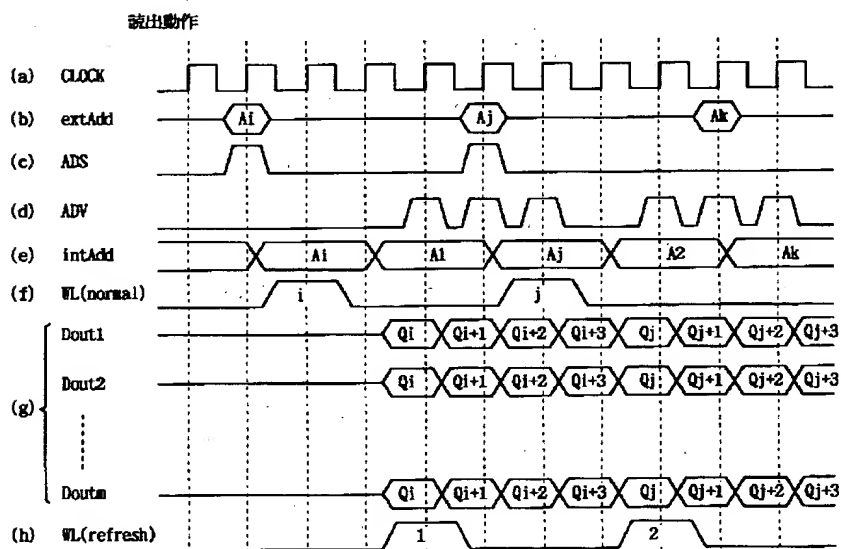


(18)

【図1】

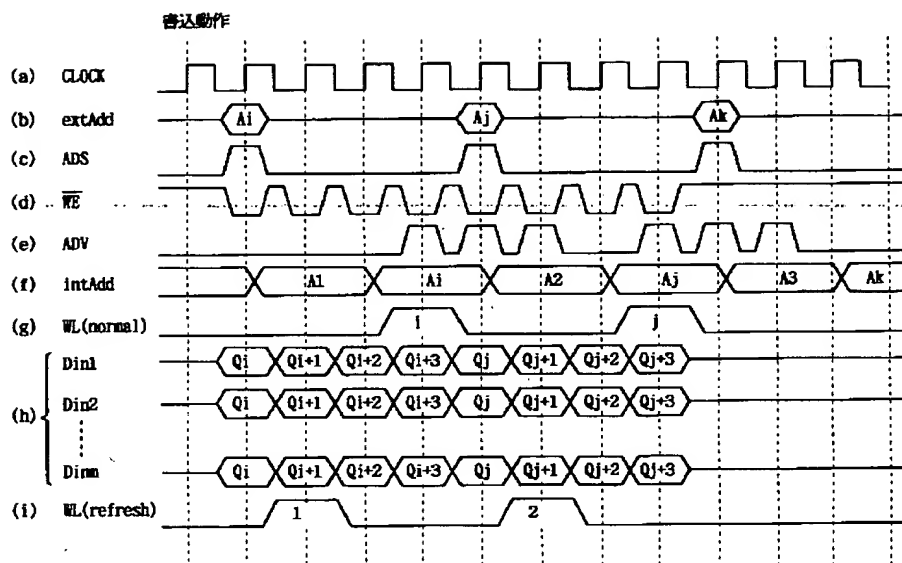


【図3】

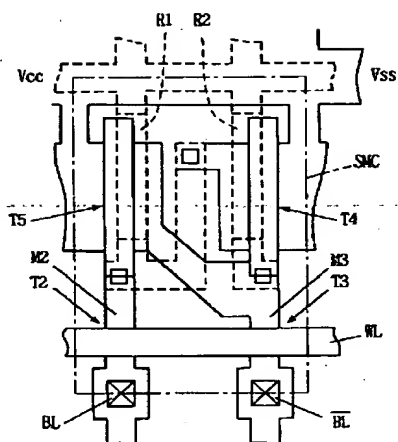


(19)

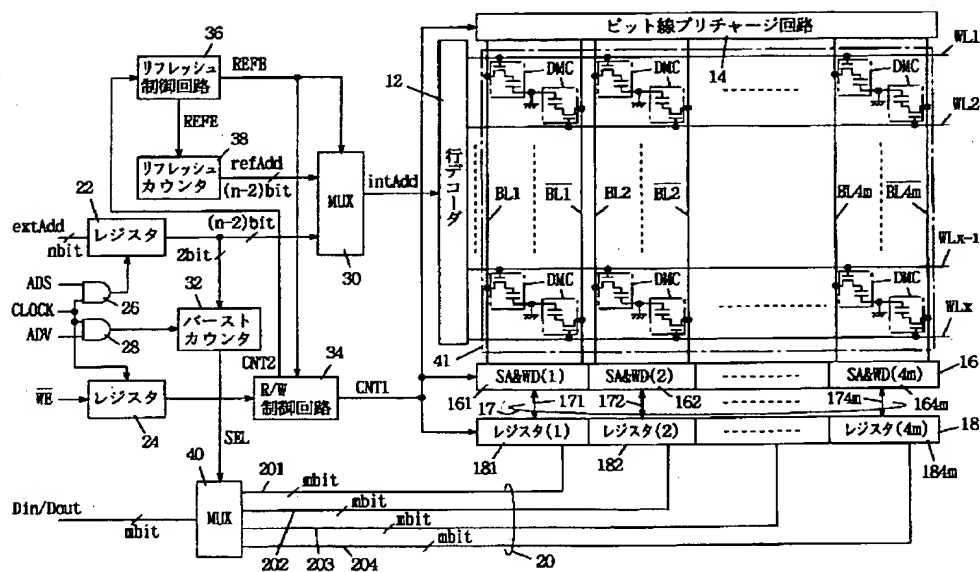
【図 4】



【图 25】

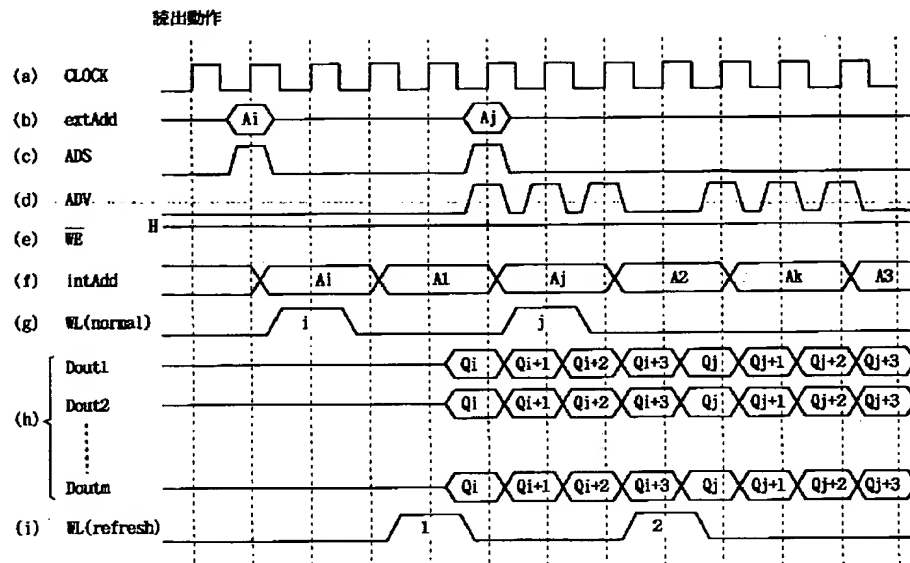


【図 5】

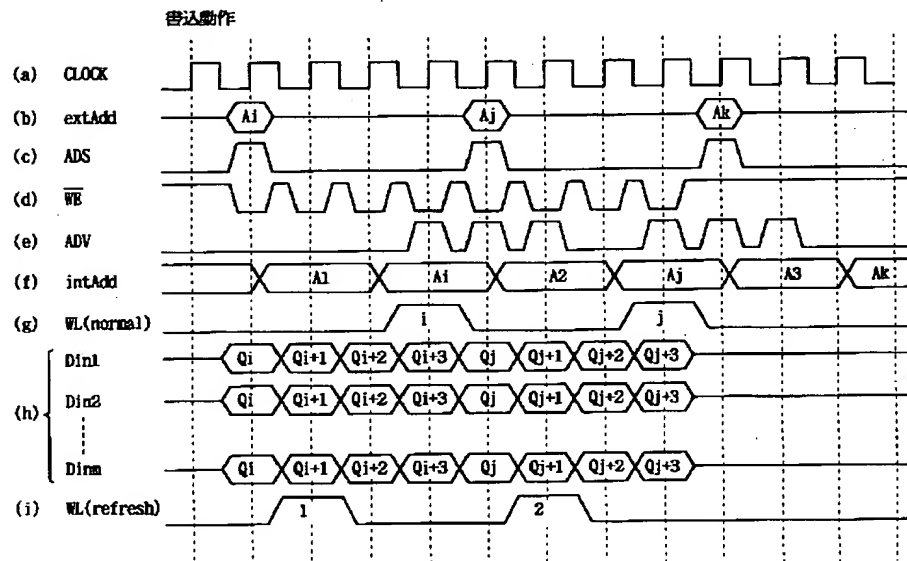


(20)

【図6】

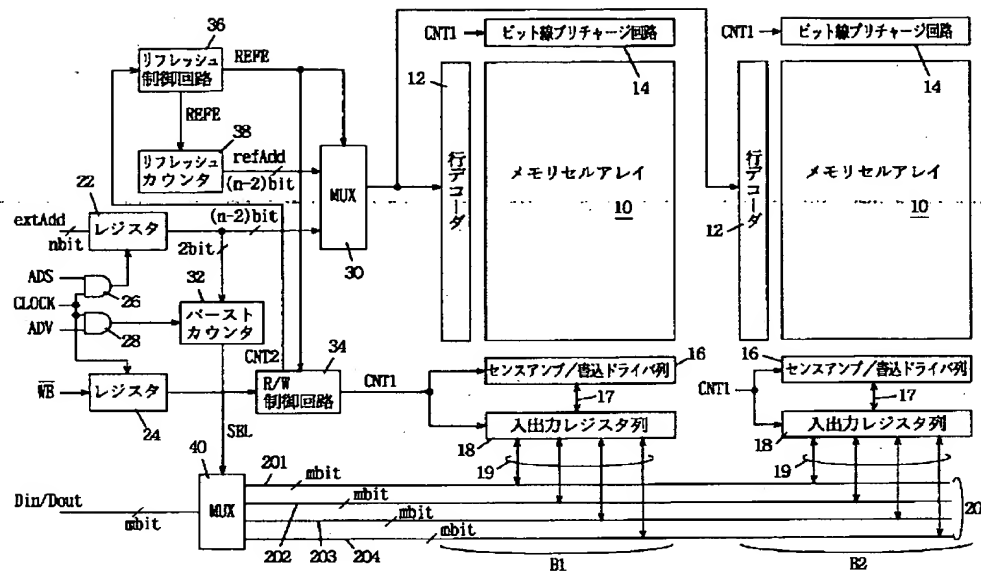


【図7】

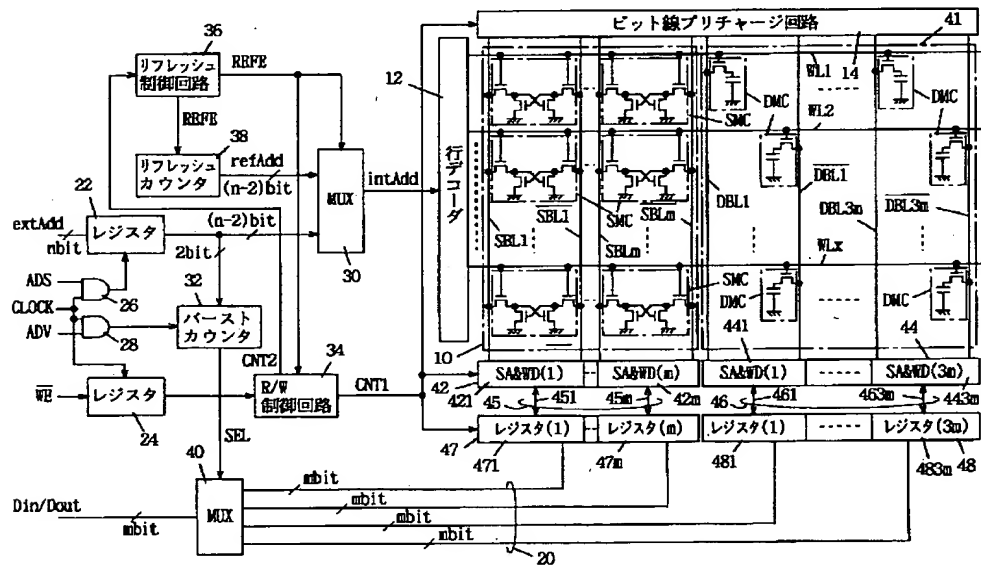


(21)

【図 8】

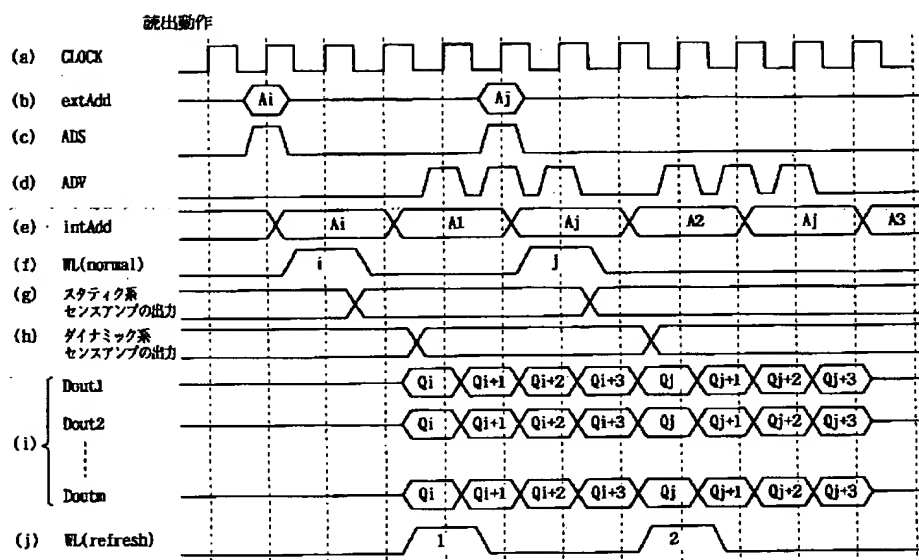


【図 9】

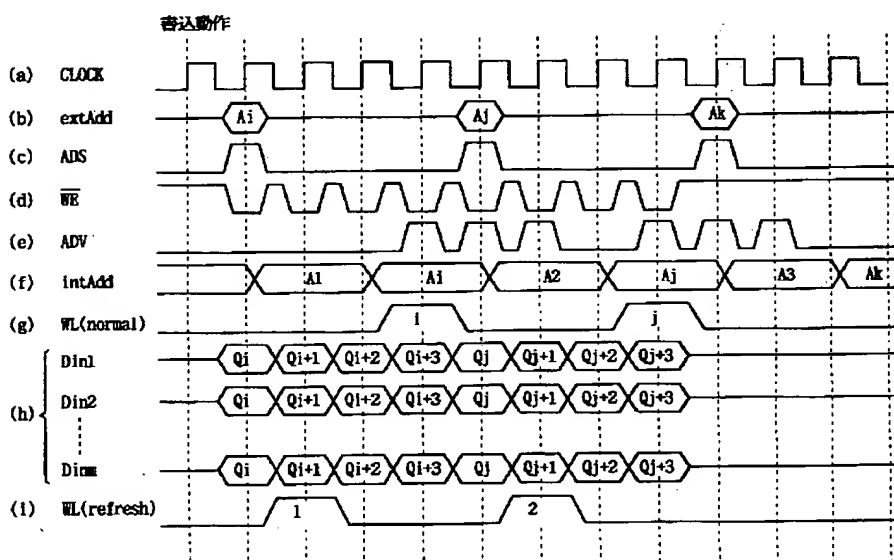


(22)

【図 10】

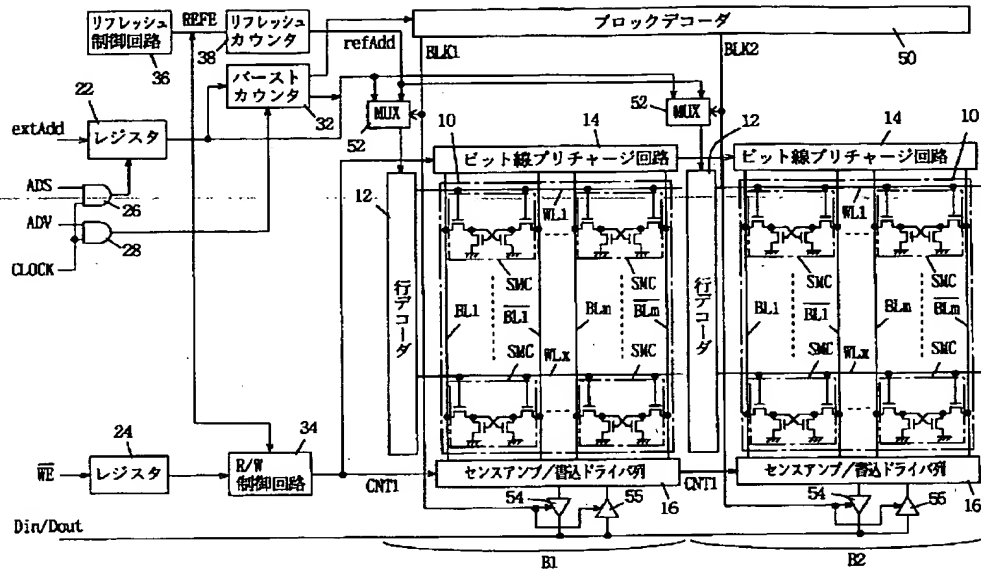


【図 11】

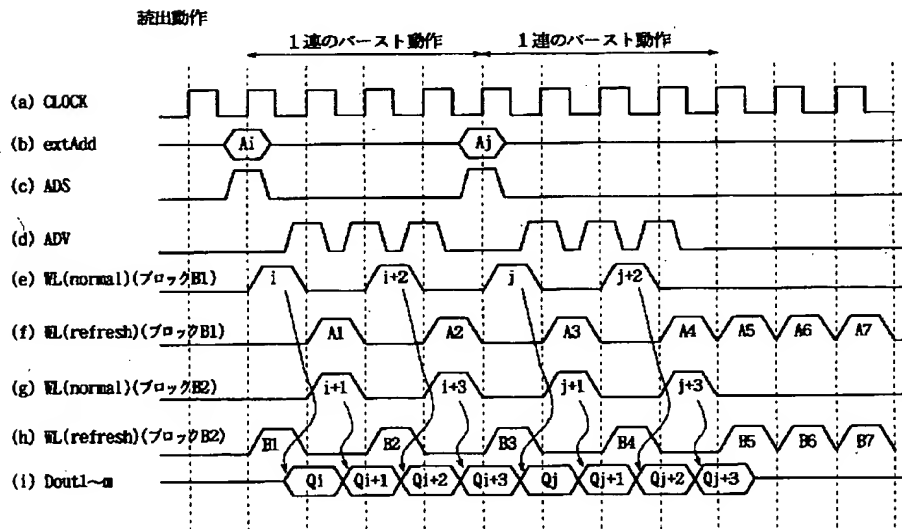


(23)

【図12】

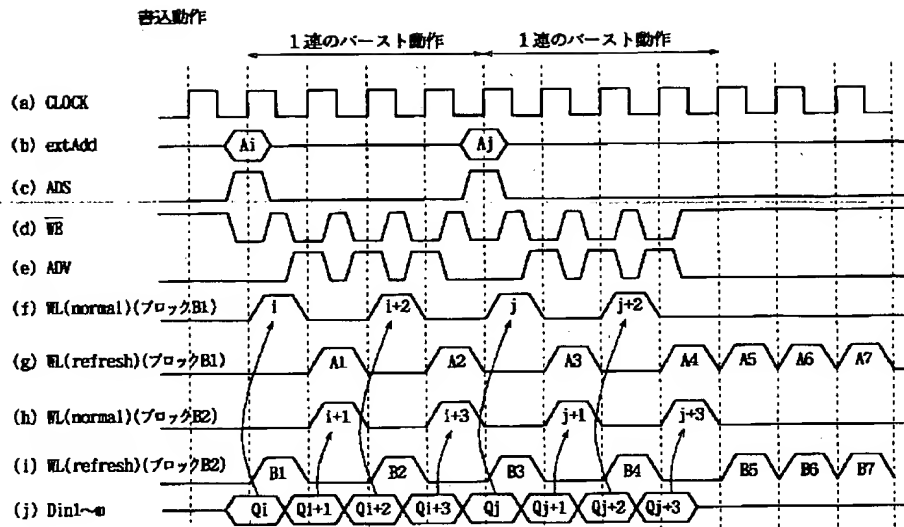


【図13】

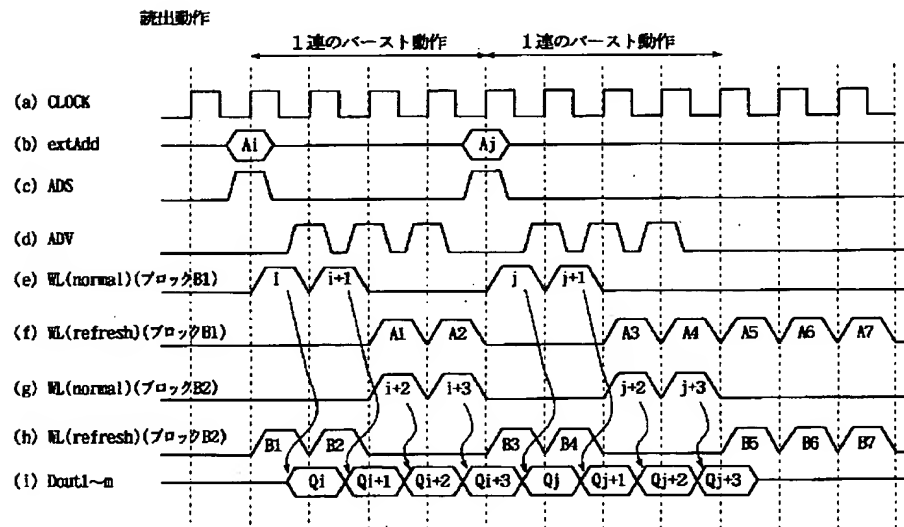


(24)

【図14】



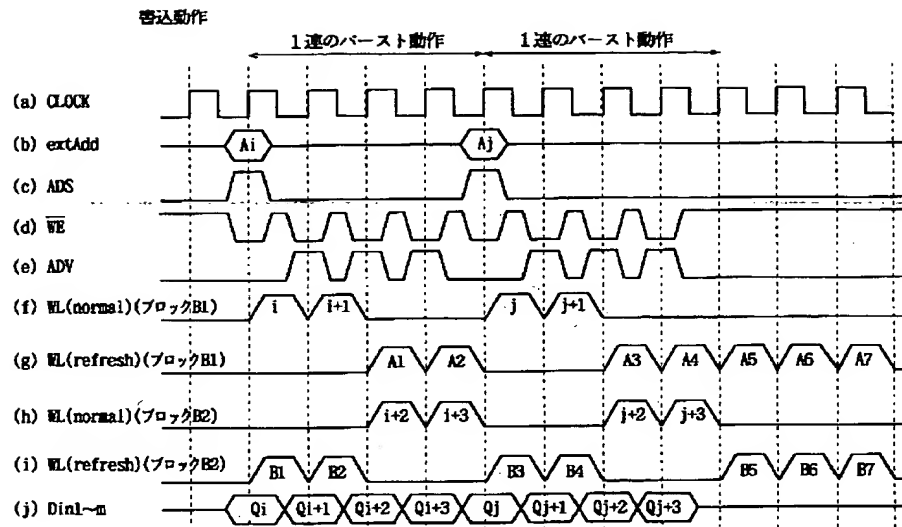
【図15】



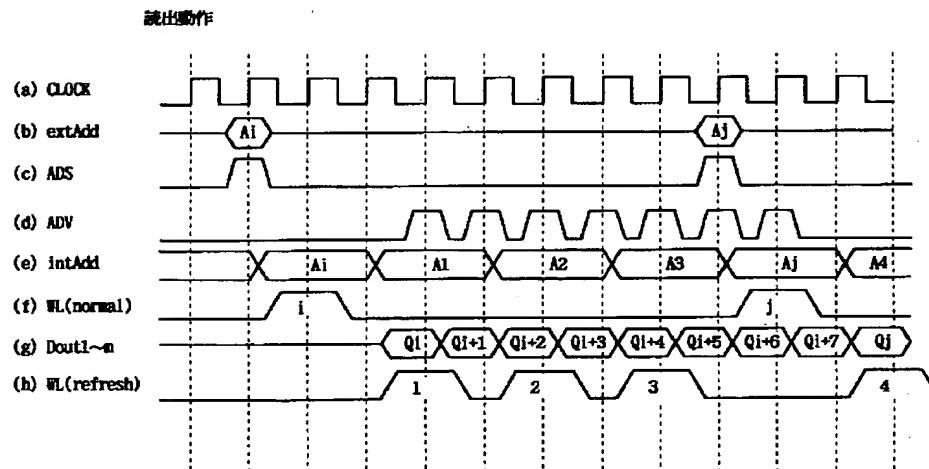


(25)

【図16】

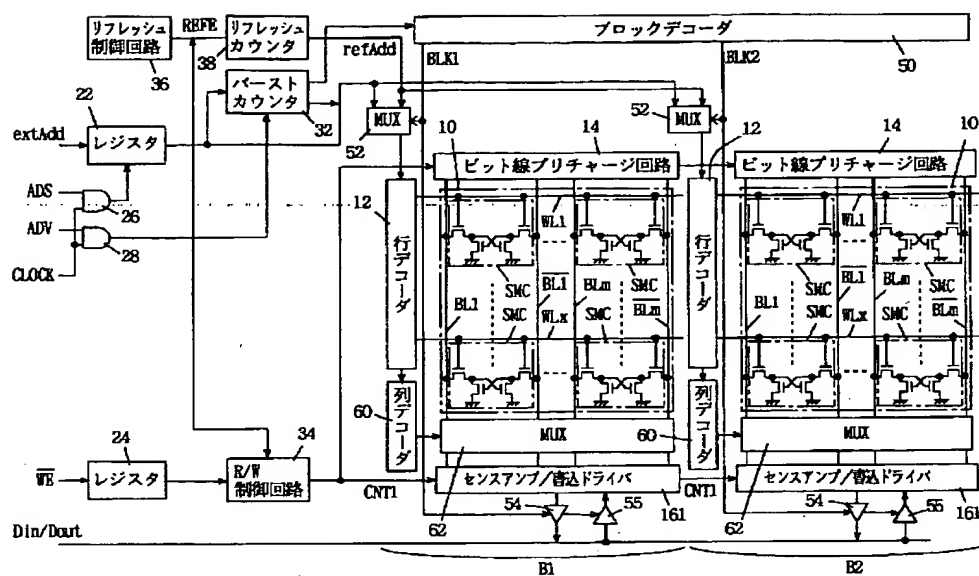


【図17】

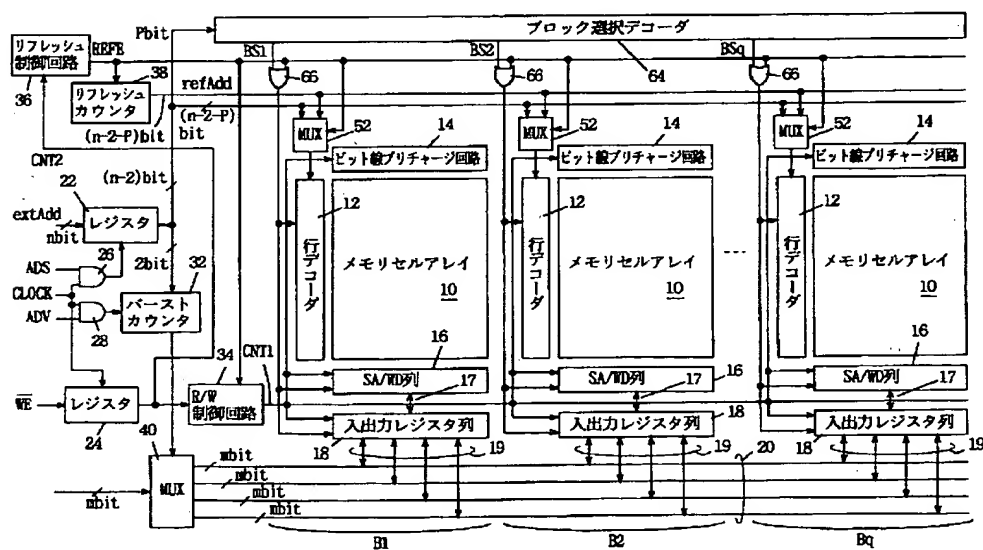


(26)

【図18】

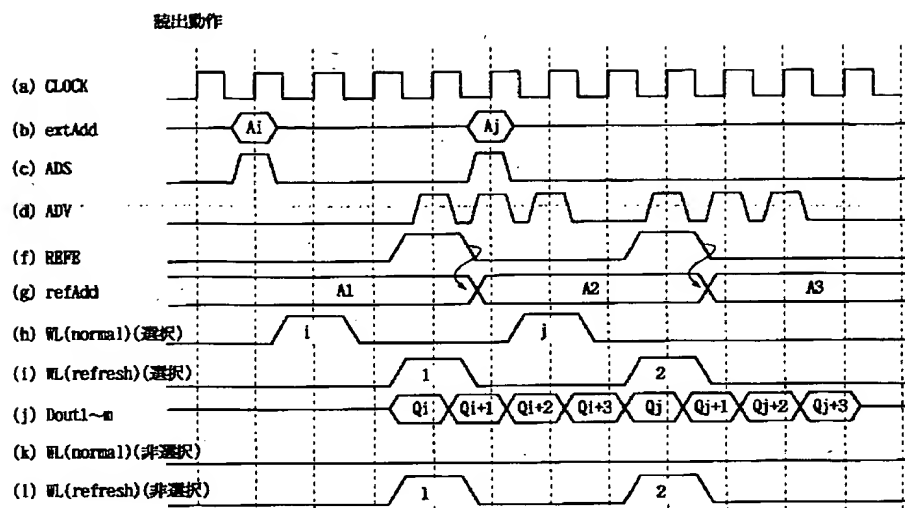


【図19】

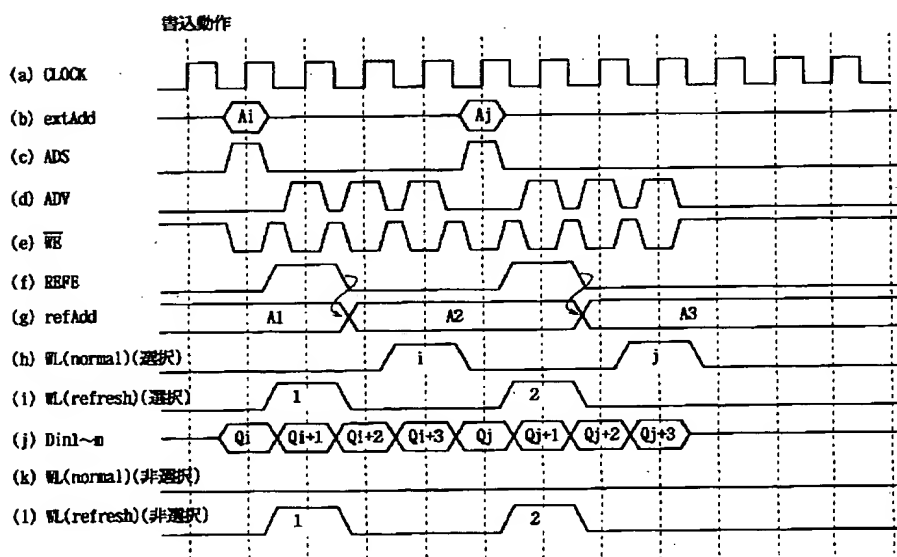


(27)

【図20】

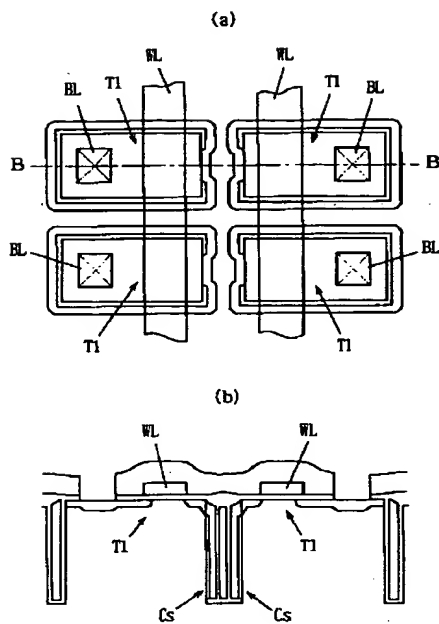


【図21】

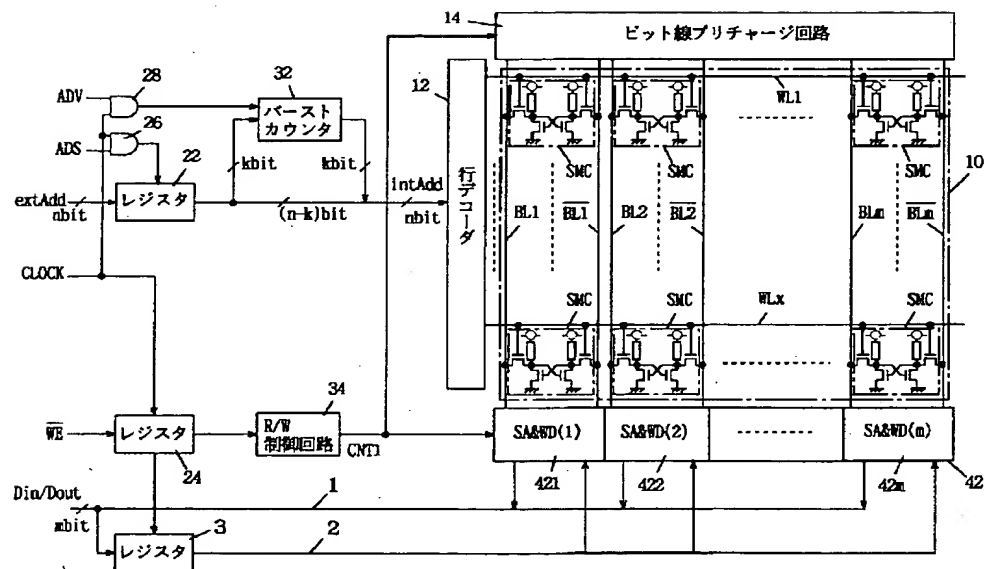


(28)

【図23】

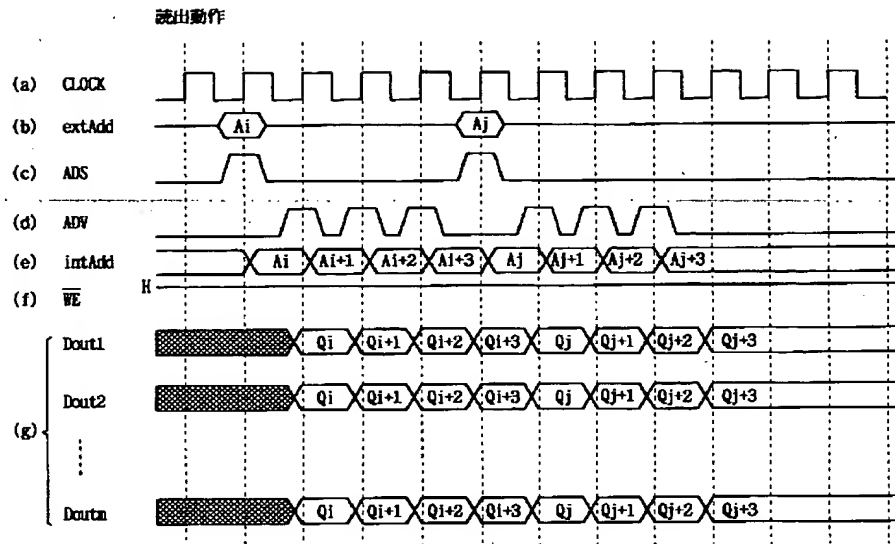


【図26】

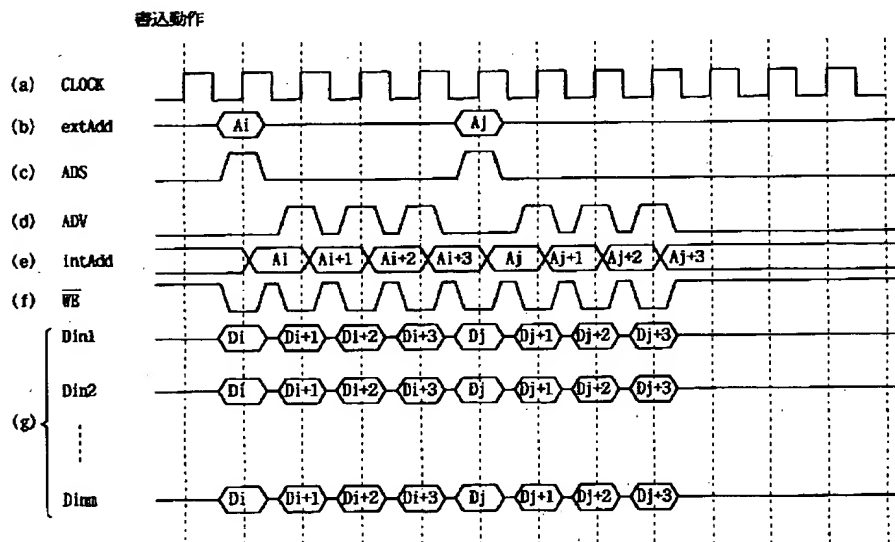


(29)

【図 27】



【図 28】



(30)

【図29】

